



PROJETO DE SISTEMAS AMPLIFICADORES SEGUIDOR DE EMISSOR E CASCODE: ABORDAGEM POR SIMULAÇÃO

Mateus Vitor Fagundes Ferreira¹ e Alberto Vinicius de Oliveira²

¹Universidade Tecnológica Federal do Paraná (UTFPR), Toledo-PR, Brasil

E-mail: mateusferreira@alunos.utfpr.edu.br

²Universidade Tecnológica Federal do Paraná (UTFPR), Toledo-PR, Brasil

Resumo: Este trabalho apresenta o projeto e a validação, por simulação no LTspice, de um sistema amplificador de pequenos sinais composto por um seguidor de emissor com BC547B e um cascode PNP com dois BC557B. Foram avaliados o ponto de operação, o ganho de tensão, a frequência de corte inferior e as resistências de entrada e saída. O sistema integrado apresentou ganho de 301,1 V/V. Também foi desenvolvido o *layout* de uma placa de circuito impresso, submetido ao DRC sem erros e sem fabricação física.

Palavras-chave: amplificadores de pequenos sinais; seguidor de emissor; cascode PNP; LTspice; placa de circuito impresso.

INTRODUÇÃO

O projeto de amplificadores de pequenos sinais envolve parâmetros como ganho, resposta em frequência e impedâncias, fundamentais para o condicionamento adequado de sinais. Em aplicações contemporâneas, esses circuitos são empregados em sistemas de áudio profissional, captação e medição acústica, incluindo interfaces para microfones de medição (MEMS, do inglês *Microelectromechanical Systems*) compatíveis com alimentação P48 (HUBER; TOTH, 2025).

Este trabalho visa estudar circuitos amplificadores analógicos de pequenos sinais com transistores bipolares NPN e PNP, nas configurações coletor comum (seguidor de emissor) e cascode, validando o funcionamento dos sistemas por meio de simulação de circuitos elétricos, bem como desenvolver um *layout* de placa de circuito impresso (PCI) para utilização em práticas de ensino de Engenharia Eletrônica. Desta forma, os objetivos específicos de cada circuito é dado a seguir: Circuito 1: Seguidor de emissor, operado por transistor NPN modelo BC547, impedância de entrada $R_i \geq 20\text{ k}\Omega$, impedância de saída $R_o \leq 200\ \Omega$, ganho de tensão sem carga $A_{v, nl} \geq 0,95\text{ V/V}$ e frequência de corte inferior $f_L \geq 500\text{ Hz}$; e Circuito 2: Cascode operado por transistor PNP modelo BC557, $R_i \geq 10\text{ k}\Omega$, $R_o \leq 3000\ \Omega$, $A_{v, nl} \geq 300\text{ V/V}$ e $f_L \geq 500\text{ Hz}$.

Neste projeto, o sistema foi dividido em dois estágios. O primeiro é um seguidor de emissor com BC547B, escolhido por apresentar ganho de tensão próximo da unidade, alta resistência de entrada e baixa resistência de saída (Diotec Semiconductor AG, s.d.). O segundo é um cascode PNP com BC557B, escolhido para obter ganho de tensão elevado (Onsemi, 2024). A integração

dos dois estágios permite que o seguidor de emissor funcione como buffer de entrada do cascode, reduzindo o impacto da baixa resistência de entrada do cascode isolado.

Além da validação em simulação, o projeto incluiu a elaboração de uma PCI no EasyEDA STD. A etapa da placa permaneceu em nível de projeto assistido por computador (CAD, do inglês *Computer-Aided Design*), submetido à verificação das regras de projeto no próprio software. Portanto, este artigo apresenta a PCI desenvolvida em ambiente CAD, sem etapa de fabricação ou validação experimental física.

FUNDAMENTAÇÃO TEÓRICA

O seguidor de emissor é uma configuração de transistor bipolar em que a saída é tomada no emissor. Por causa da realimentação local introduzida pelo resistor de emissor, essa topologia apresenta ganho de tensão próximo da unidade, resistência de entrada relativamente alta e resistência de saída baixa. Em sistemas em cascata, esse comportamento é útil para adaptar impedâncias entre uma fonte de sinal e um estágio de ganho (SEDRA; SMITH, 2015).

A resistência de entrada R_i expressa a carga elétrica que o circuito impõe ao estágio anterior. Quanto maior R_i , menor a corrente exigida da fonte de sinal. A resistência de saída R_o , por outro lado, indica a capacidade do circuito de acionar a carga sem queda significativa de tensão. No projeto, R_i e R_o foram extraídas por simulação CA com fonte de corrente unitária, técnica comum em análises SPICE, pois a tensão resultante no nó excitado equivale numericamente à impedância quando a corrente aplicada é 1 A (Analog Devices,



2026).

A configuração cascode combina dois transistores para obter alto ganho de tensão e reduzir efeitos indesejados associados a variações de tensão no transistor de entrada. No caso PNP, a operação ativa exige que a tensão no emissor seja maior que a tensão na base, e que a tensão na base seja maior que a tensão no coletor, isto é, $V_E > V_B > V_C$. Essa verificação foi usada para demonstrar que os dois BC557B permaneceram em região ativa no ponto de operação final (Onsemi, 2024; RAZAVI, 2010).

A resposta em frequência inferior é determinada principalmente pelos capacitores de acoplamento e bypass. Esses capacitores introduzem polos de baixa frequência dependentes das resistências vistas em seus terminais. A frequência de corte inferior f_L foi adotada como o ponto em que o ganho cai aproximadamente 3 dB em relação ao ganho de banda média. Em sistemas com vários estágios, os polos de baixa frequência se acumulam, o que pode elevar a f_L integrada em relação aos valores isolados.

A simulação SPICE foi utilizada como etapa de validação elétrica antes da implementação em PCI. Ela permite verificar ponto de operação, ganho, impedâncias e resposta em frequência sem depender de protótipo físico inicial (Analog Devices, 2026). Depois da validação elétrica, o projeto de PCI em CAD permite organizar componentes, trilhas, plano de terra, pontos de teste e verificações de regra de projeto antes de uma eventual fabricação (EasyEDA, s.d.a; EasyEDA, s.d.b).

Também é necessário verificar a dissipação de potência nos componentes principais. Transistores, resistores, diodos e reguladores lineares convertem parte da energia elétrica em calor. Para um transistor NPN, a estimativa inicial foi feita pela Equação (1).

$$P_Q \approx V_{CE} I_C \quad (1)$$

em que P_Q representa a potência dissipada no transistor, V_{CE} é a tensão entre o coletor e o emissor e I_C é a corrente de coletor.

Para um transistor PNP, foi utilizada a relação apresentada na Equação (2).

$$P_Q \approx V_{EC} I_C \quad (2)$$

em que V_{EC} é a tensão entre o emissor e o coletor.

Nos resistores, as formas equivalentes baseadas na tensão e na corrente são apresentadas, respectivamente, pelas Equações (3) e (4).

$$P_R = \frac{V_R^2}{R} \quad (3)$$

$$P_R = I_R^2 R \quad (4)$$

em que P_R representa a potência dissipada no resistor, V_R é a tensão aplicada sobre o resistor, I_R é a corrente que o percorre e R é o valor de sua resistência.

Em reguladores lineares, a dissipação depende da queda de tensão entre a entrada e a saída multiplicada pela corrente fornecida, conforme apresentado na Equação (5) (onsemi, 2021).

$$P_{REG} \approx (V_{IN} - V_{OUT}) I \quad (5)$$

em que P_{REG} representa a potência dissipada no regulador, V_{IN} é a tensão de entrada, V_{OUT} é a tensão de saída e I é a corrente fornecida pelo regulador.

Por isso, a estimativa de potência é uma etapa importante antes de qualquer fabricação futura.

MATERIAL E MÉTODOS

O desenvolvimento foi dividido em simulação elétrica no LTspice, integração dos blocos, projeto da PCI no EasyEDA STD e estimativa de dissipação térmica.

Na simulação elétrica, cada circuito foi analisado inicialmente de forma isolada. A análise de ponto de operação corrente contínua (CC) forneceu tensões e correntes de polarização, permitindo verificar a região ativa dos transistores. A análise CA forneceu ganho de tensão, frequência de corte inferior e comportamento em banda média. A medição de R_i e R_o foi feita por meio de fonte corrente alternada (CA) de 1 A, aplicada no nó de interesse, de modo que a magnitude da tensão simulada representasse diretamente a impedância em ohms.

Em seguida, os blocos foram integrados. O seguidor de emissor foi usado como estágio de entrada e o cascode PNP como estágio de ganho. A validação integrada avaliou $A_{v, total}$, correspondente ao ganho de tensão total; $f_{L, integrado}$, correspondente à frequência de corte inferior do circuito integrado; $R_{i, total}$, correspondente à resistência de entrada total; e $R_{o, total}$, correspondente à resistência de saída total. Dessa forma, evitou-se misturar os resultados isolados do cascode com o desempenho final do sistema completo.

Na etapa de desenvolvimento da placa de circuito impresso (PCI), foi utilizada uma placa única de 100 mm × 50 mm, a fim de padronizar suas dimensões para utilização em práticas de laboratório de Eletrônica Analógica ou de disciplinas correlatas. A seleção dos encapsulamentos foi definida de forma híbrida: os componentes principais utilizam montagem em furos passantes (PTH, do inglês *Pin Through Hole*), incluindo os transistores em encapsulamento TO-92, o regulador 7812 em encapsulamento TO-220, os bornes



KF301/KRE e os capacitores eletrolíticos. Os capacitores de menor porte utilizam dispositivos de montagem em superfície (SMD, do inglês *Surface-Mount Device*), no encapsulamento 1206. A verificação das regras de projeto (DRC, do inglês *Design Rule Check*) foi executada no EasyEDA, sem erros reportados, mas sem fabricação física da placa nesta etapa (EasyEDA, s.d.a).

Por fim, foi realizada uma estimativa térmica por cálculo a partir dos pontos de operação simulados. A corrente dos estágios analógicos, sem o diodo emissor de luz (LED, do inglês *Light-Emitting Diode*), foi estimada em 5,11 mA. Para o LED indicador, com resistência $R_{LED} = 2,2\text{ k}\Omega$, adotou-se uma tensão direta $V_{F,LED} = 1,8\text{ V}$ como hipótese de cálculo compatível com o componente, e não como medição experimental, obtendo-se uma corrente $I_{LED} = 4,64\text{ mA}$ (Everlight Electronics, 2014). Nesse contexto, R_{LED} representa a resistência associada ao LED, $V_{F,LED}$ representa sua tensão direta e I_{LED} representa a corrente que o percorre. Assim, a corrente total estimada da placa foi $I_{total} = 9,75\text{ mA}$, em que I_{total} representa a corrente total do circuito, sem incluir cargas externas conectadas aos bornes.

Durante o desenvolvimento deste trabalho, foi utilizada a ferramenta de inteligência artificial generativa ChatGPT, desenvolvida pela OpenAI, por meio de interações conversacionais em texto. Seu uso ocorreu exclusivamente como apoio ao levantamento inicial de referências, ao esclarecimento de conceitos teóricos e à organização, revisão e adaptação do texto para edição em $\text{\LaTeX}$. As respostas fornecidas pela ferramenta não foram utilizadas como fontes técnicas ou evidências científicas. As referências foram consultadas e verificadas em suas fontes originais, enquanto os cálculos, as simulações, as decisões de projeto, a interpretação dos resultados e a revisão final do trabalho permaneceram sob responsabilidade dos autores.

Projeto do Circuito 1 – Seguidor de Emissor

O Circuito 1 foi desenvolvido como seguidor de emissor com BC547B, alimentado em 12 V. Os componentes finais adotados foram $R_1 = 82\text{ k}\Omega$, $R_2 = 91\text{ k}\Omega$, $R_E = 5,6\text{ k}\Omega$, $C_1 = 12\text{ nF}$, $C_{out} = 47\text{ nF}$, $R_s = 50\text{ }\Omega$ e $R_L = 10\text{ k}\Omega$. Nesse circuito, R_1 e R_2 representam os resistores do divisor de polarização da base, R_E representa o resistor de emissor, C_1 representa o capacitor de acoplamento de entrada, R_s representa a resistência da fonte de sinal e R_L representa a resistência de carga.

O capacitor C_{out} atua como capacitor de acoplamento de saída. Ele bloqueia a componente contínua correspondente à polarização do emissor e transfere à carga predominantemente a componente alternada do sinal, evitando que a carga altere diretamente o ponto de operação em corrente contínua (CC).

No ponto de operação, foram obtidos $V_B \approx 6,1746\text{ V}$, $V_E \approx 5,5384\text{ V}$, $V_{BE} \approx 0,6362\text{ V}$, $V_{CE} \approx 6,4616\text{ V}$, $I_B \approx 3,1888\text{ }\mu\text{A}$ e $I_C \approx 0,9858\text{ mA}$. Nesse contexto, V_B representa a tensão na base, V_E representa a tensão no emissor, V_{BE} representa a tensão entre a base e o emissor, V_{CE} representa a tensão entre o coletor e o emissor, I_B representa a corrente de base e I_C representa a corrente de coletor. Esses valores confirmam operação ativa do transistor.

Em termos de desempenho em CA, o circuito apresentou $R_i \approx 42,0\text{ k}\Omega$ e $R_o \approx 55,1\text{ }\Omega$. Sem carga, o Circuito 1 apresentou ganho $A_{vnl} \approx 0,993\text{ V/V}$, em que A_{vnl} representa o ganho de tensão sem carga. Com a carga nominal $R_L = 10\text{ k}\Omega$, o ganho de banda média foi $A_{v,L} \approx 0,990\text{ V/V}$, com frequência de corte inferior $f_L \approx 518,8\text{ Hz}$, como apresentado na Figura 2. Nesse caso, $A_{v,L}$ representa o ganho de tensão com carga. Essa frequência corresponde a uma queda próxima de 3 dB, em que dB representa decibéis, em relação ao ganho de banda média. Assim, o Circuito 1 atendeu aos requisitos de resistência de entrada, resistência de saída, ganho próximo da unidade e frequência inferior. As Figuras 1 e 2 apresentam, respectivamente, o esquemático do Circuito 1 e sua resposta em frequência.

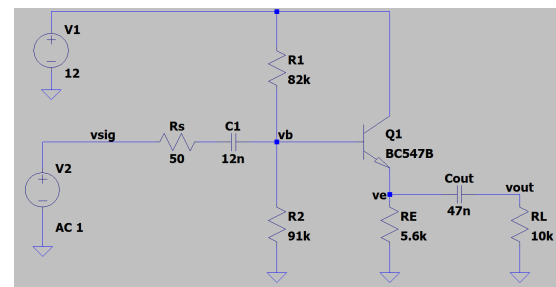


Figura 1. Esquemático do Circuito 1, seguidor de emissor com BC547B.

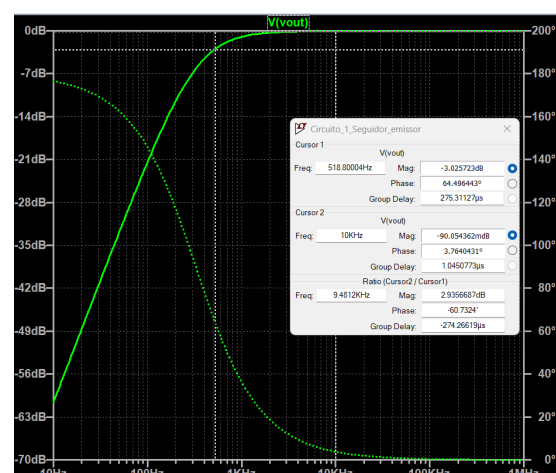


Figura 2. Resposta em frequência do Circuito 1 com carga nominal, indicando $f_L \approx 518,8\text{ Hz}$.

Projeto do Circuito 2 – Cascode PNP

O Circuito 2 (Figura 3) foi implementado como cascode PNP com dois BC557B, alimentado em 12 V. A versão final adotou $R_{E1} = 220 \Omega$, $C_{E1} = 1000 \mu F$, $R_1 = 6,8 k\Omega$, $R_2 = 3,9 k\Omega$, $R_3 = 39 k\Omega$, $C_1 = 220 nF$, $C_3 = 33 nF$, $C_2 = 10 \mu F$, $C_4 = 47 nF$ e $R_L = 470 k\Omega$. Nesse circuito, Q_1 e Q_2 representam, respectivamente, os transistores PNP superior e inferior do cascode; R_{E1} representa o resistor de emissor de Q_1 ; C_{E1} representa o capacitor de bypass associado a R_{E1} ; R_1 , R_2 e R_3 representam os resistores da rede de polarização das bases dos transistores; C_1 e C_3 representam os capacitores de acoplamento de entrada conectados em paralelo; C_2 representa o capacitor de bypass da base de Q_2 ; C_4 representa o capacitor de acoplamento de saída. O resistor de coletor final foi $R_C \approx 2,44 k\Omega$, em que R_C representa o resistor conectado ao coletor de Q_2 . Na implementação física prevista na PCI, esse valor foi obtido pela soma de $2,4 k\Omega$ e 39Ω , resultando em $2,439 k\Omega$.

A escolha de $R_C \approx 2,44 k\Omega$ equilibrou ganho e margem de operação ativa.

No ponto de operação final, foram obtidos $V_{E1} \approx 11,1561 V$, $V_{B1} \approx 10,492 V$, $V_{C1} = V_{E2} \approx 10,2444 V$, $V_{B2} \approx 9,58039 V$ e $V_{C2} \approx 9,3009 V$, com $I_C(Q_1) \approx 3,82376 mA$ e $I_C(Q_2) \approx 3,81184 mA$. Nesse contexto, V_{E1} , V_{B1} e V_{C1} representam, respectivamente, as tensões no emissor, na base e no coletor de Q_1 ; V_{E2} , V_{B2} e V_{C2} representam, respectivamente, as tensões no emissor, na base e no coletor de Q_2 ; e $I_C(Q_1)$ e $I_C(Q_2)$ representam as correntes de coletor dos transistores Q_1 e Q_2 . A igualdade $V_{C1} = V_{E2}$ ocorre porque o coletor de Q_1 e o emissor de Q_2 estão conectados ao mesmo nó. A condição $V_E > V_B > V_C$ foi satisfeita em ambos os transistores, confirmando operação ativa, em que V_E , V_B e V_C representam, respectivamente, as tensões no emissor, na base e no coletor de cada transistor.

Como resultado principal do Circuito 2 isolado, foi adotado o caso com carga $R_L = 470 k\Omega$. Nesse caso, foram obtidos $R_i \approx 1,215 k\Omega$, $R_o \approx 2,435 k\Omega$, $A_v \approx 49,818 dB \approx 309,7 V/V$ e $f_L \approx 524,81 Hz$ (Figura 4). O caso sem carga foi mantido apenas como comparação, com $A_v \approx 49,863 dB \approx 311,3 V/V$ e $f_L \approx 524,81 Hz$. A diferença pequena de ganho indica que a carga de $470 k\Omega$ praticamente não alterou o ganho do cascode isolado.

Sistema Integrado Circuito 1 + Circuito 2

A integração dos dois estágios foi a etapa decisiva para o fechamento técnico do projeto. O seguidor de emissor foi posicionado na entrada do sistema para atuar como *buffer*, enquanto o cascode PNP permaneceu como estágio de alto ganho.

Na análise isolada do seguidor de emissor, utilizou-se

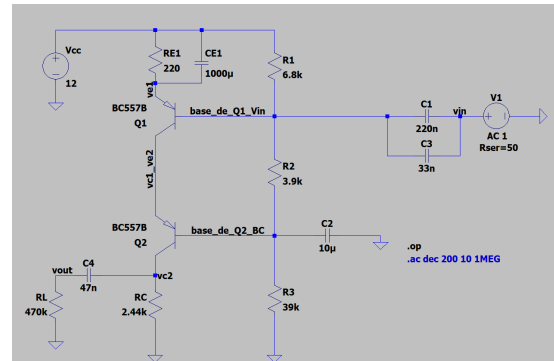


Figura 3. Esquema final do Circuito 2 com $R_C \approx 2,44 k\Omega$.

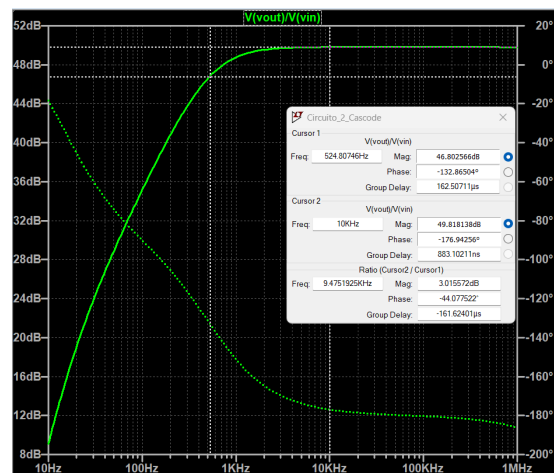


Figura 4. Resposta em frequência do Circuito 2 isolado com carga $R_L = 470 k\Omega$.

$C_{out} = 47 nF$ para acoplar o sinal à carga de $10 k\Omega$. Na integração, o isolamento entre as polarizações CC dos estágios passou a ser realizado pela rede capacitiva de entrada do cascode, evitando a duplicação de capacitores de acoplamento em série.

Na validação integrada, o ganho total obtido foi $A_{v,total} \approx 49,573928 dB$, equivalente a aproximadamente $301,1 V/V$. A conversão do ganho em decibéis para ganho linear foi feita por:

$$A_v = 10^{A_{v,dB}/20} \quad (6)$$

em que A_v representa o ganho de tensão em escala linear, expresso em V/V , e $A_{v,dB}$ representa o ganho de tensão expresso em decibéis.

Também foram obtidos $f_{L,integrado} \approx 691,83 Hz$ (vide Figura 5), $R_{i,total} \approx 37,95 k\Omega$ e $R_{o,total} \approx 2,46 k\Omega$. O sistema completo atendeu aos requisitos principais de ganho, frequência de corte inferior, resistência de entrada e resistência de saída.

A $f_{L,integrado}$ ficou acima dos valores isolados porque os acoplamentos e carregamentos entre estágios acumulam efeitos de baixa frequência. Ainda assim, o valor final permaneceu acima de $500 Hz$, conforme a especificação adotada. A resposta em frequência

integrada é apresentada na Figura 5.

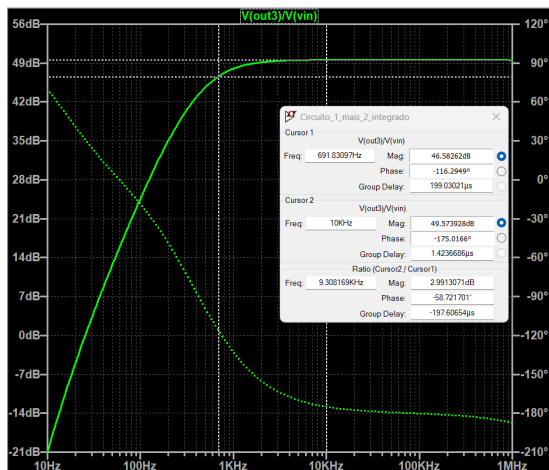


Figura 5. Resposta em frequência do sistema integrado com carga, indicando ganho total e frequência de corte inferior.

Projeto da PCI no EasyEDA

A etapa de PCI foi desenvolvida no EasyEDA STD a partir da versão final dos circuitos validados. A placa foi mantida em uma única área de 100 mm × 50 mm. A solução construtiva foi híbrida, combinando componentes principais PTH e capacitores pequenos em SMD 1206. As nomenclaturas adotadas para os componentes, nós e sinais foram mantidas coerentes com aquelas apresentadas no esquemático desenvolvido no EasyEDA STD.

A alimentação da placa foi definida com borne de entrada VIN_DC, diodo D1 = 1N4007 em série na entrada, fusível resetável F1 = JK250-120U / C369130 em série com a entrada protegida, nó VIN_PROT, regulador linear U2_REG = MC7812CTG, capacitores de entrada e saída do regulador, LED indicador LED_PWR com $R_{LED} = 2,2 \text{ k}\Omega$ e distribuição interna em VCC_12V (onsemi, 2024; Jinrui Electronic Materials Co., s.d.; onsemi, 2021). VIN_DC é a tensão externa aplicada ao borne, enquanto VIN_PROT é a tensão após D1 e F1. A faixa recomendada refere-se a VIN_DC = 15 V a 18 V. Considerando queda aproximada de 0,7 V em D1 e desprezando, nessa estimativa, a pequena queda no (PPTC, do inglês *Polymeric Positive Temperature Coefficient*) em regime normal, obtêm-se VIN_PROT $\approx$ 14,3 V e 17,3 V, respectivamente.

Como observação técnica de proteção, a alimentação implementada na PCI já contempla o diodo D1 = 1N4007, reduzindo o risco associado à inversão de polaridade, e o fusível resetável F1 = JK250-120U / C369130, atuando como proteção contra sobrecorrente no barramento de entrada protegido. O regulador linear MC7812CTG, da família MC7800, possui proteções internas típicas, como limitação de corrente e proteção térmica, e fornece a saída regulada VCC_12V

para alimentação dos estágios analógicos.

Na versão mais recente do esquemático/PCI, foi adicionado D2 = 1N4148 entre a saída regulada VCC_12V e a entrada VIN_PROT do regulador, com orientação reversamente polarizada em operação normal (Lang-Jie, s.d.). Sua função é fornecer um caminho de descarga para o capacitor de saída caso a tensão de entrada caia rapidamente, reduzindo a possibilidade de corrente reversa atravessar internamente o regulador. O D2 não substitui o PPTC, não é a proteção principal contra curto-circuito na saída e não deve ser interpretado como proteção de sobrecarga permanente.

Embora o regulador MC7812CTG possua proteções contra sobrecorrente e sobretensão, uma melhoria futura seria inserir um PPTC adicional em série com a saída regulada VCC_12V. Esse componente poderia isolar diretamente a rede de alimentação dos estágios analógicos em caso de curto-circuito na saída regulada ou durante testes de bancada. Essa proteção adicional não foi implementada nesta versão da PCI e deve ser tratada apenas como possível aprimoramento futuro.

O layout foi organizado por blocos: entrada CC, proteção e regulador na região superior/esquerda; entrada de sinal e seguidor de emissor na região esquerda/inferior; cascode PNP na região central/direita; e saída final na borda direita. Foi adotado plano de terra inferior em GND, trilhas de alimentação com largura aproximada de 0,7 mm e trilhas de sinal/test pads com largura aproximada de 0,35 mm.

Além disso, foram inseridos logo da UTFPR, carimbo do projeto e test pads para medições futuras. A PCI foi projetada no EasyEDA e submetida à verificação de regras de projeto, que apresentou DRC = 0. Esse resultado registra que a ferramenta não reportou erros nas regras configuradas, mas não constitui garantia completa de fabricabilidade. As Figuras 6, 7, 8 e 9 documentam, respectivamente, o layout, a visualização tridimensional, o DRC e o esquemático atualizado.

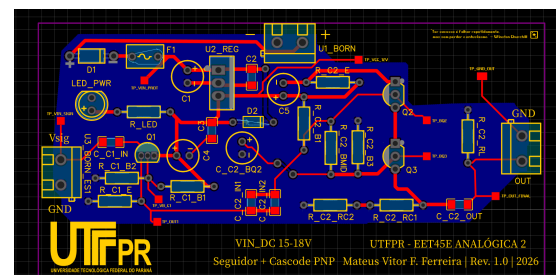


Figura 6. Vista 2D final da PCI no EasyEDA, com posicionamento, roteamento e identificação visual.

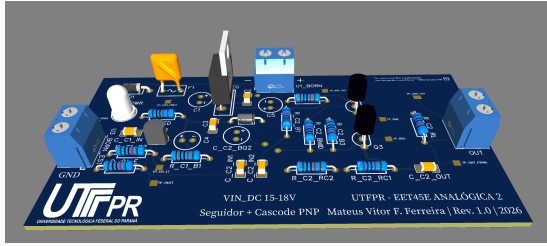


Figura 7. Visualização 3D final da PCI projetada no EasyEDA.



Figura 8. Registro visual do DRC no EasyEDA com 0 erros.

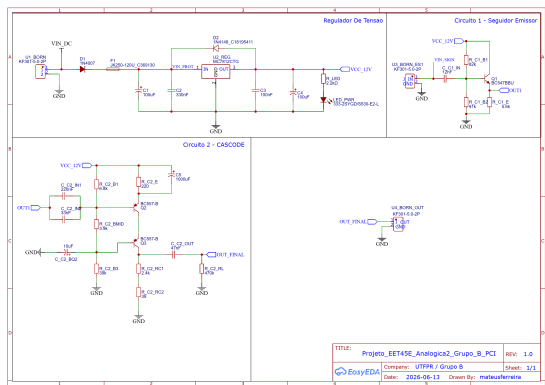


Figura 9. Esquemático atualizado da PCI/fonte, incluindo o diodo D2 entre VCC_12V e VIN_PROT.

Estimativa de Dissipação Térmica

A estimativa de dissipação térmica por cálculo, realizada a partir dos pontos de operação simulados, teve como objetivo identificar componentes que poderiam exigir atenção antes de eventual fabricação futura. Essa análise não substitui a verificação por *datasheets*, pela lista de materiais final (BOM, do inglês *Bill of Materials*) ou pela validação futura em bancada, caso a equipe avance para essa etapa.

No Circuito 1, a potência estimada no BC547B pela Equação (1) foi $P_{Q1} \approx V_{CE} I_C \approx 6,37$ mW. No resistor de emissor, a Equação (3) forneceu $P_{RE} \approx V_E^2 / R_E \approx 5,48$ mW. Nos resistores de polarização, foram obtidos $P_{R1} \approx 0,414$ mW e $P_{R2} \approx 0,419$ mW. Esses valores indicam baixa dissipação nos componentes do seguidor de emissor, embora os limites finais devam ser confirmados nos *datasheets* e na BOM (Diotec Semiconductor AG, s.d.).

No Circuito 2, as dissipações estimadas pela Equação (2) nos dois BC557B foram $P_{Qsuperior} \approx 3,49$ mW e $P_{Qinferior} \approx 3,60$ mW. O resistor de coletor equivalente apresentou $P_{RC} \approx 35,45$ mW. Considerando a implementação física $2,4$ kΩ em série com o de 39 Ω, as parcelas estimadas são aproxima-

damente $34,87$ mW no resistor de $2,4$ kΩ e $0,567$ mW no resistor de 39 Ω. O resistor de emissor de 220 Ω dissipou aproximadamente $3,24$ mW. Os resistores do divisor ficaram abaixo de $2,4$ mW cada. Esses resultados indicam baixa dissipação nos estágios discretos (Onsemi, 2024).

Para a fonte da PCI, a corrente dos estágios analógicos foi estimada em $I_{estagios} \approx 5,11$ mA. O LED indicador utiliza $R_{LED} = 2,2$ kΩ. Adotando $V_{F,LED} \approx 1,8$ V como hipótese de cálculo compatível com o componente, sua corrente é $I_{LED} \approx 4,64$ mA, valor baixo em termos absolutos, mas comparável à corrente conjunta dos estágios analógicos (Everlight Electronics, 2014). Incluindo o LED, obteve-se $I_{total} \approx 9,75$ mA para a placa, sem cargas externas. Nessas condições, $P_{RLED} \approx 47,29$ mW e a potência elétrica aproximada absorvida pelo LED é $P_{LED} \approx 8,35$ mW.

A faixa de 15 V a 18 V refere-se a VIN_DC, aplicada ao borne. Considerando $V_{D1} \approx 0,7$ V como hipótese de cálculo e desprezando apenas nesta aproximação a pequena queda em F1, resulta VIN_PROT $\approx 14,3$ V para VIN_DC = 15 V e $\approx 17,3$ V para VIN_DC = 18 V. Pela Equação (5), as dissipações revisadas do MC7812CTG são $22,43$ mW e $51,68$ mW, respectivamente (onsemi, 2021).

A dissipação no diodo D1 = 1N4007 depende da queda direta. Considerando $V_{D1} \approx 0,7$ V como hipótese de cálculo e a corrente total estimada, obtém-se $P_{D1} \approx 6,83$ mW. O diodo D2 = 1N4148 fica reversamente polarizado em regime CC normal; portanto, sua dissipação contínua não foi somada à potência da placa. Esse diodo conduz principalmente em condição transitória de descarga/corrente reversa entre VCC_12V e VIN_PROT. A dissipação no PPTC F1 não foi quantificada, pois depende de sua resistência em regime e da temperatura de operação. A corrente estimada da placa permanece abaixo da corrente de manutenção nominal do JK250-120U (onsemi, 2024; LangJie, s.d.; Jinrui Electronic Materials Co., s.d.). Capacitores não foram tratados como elementos dissipativos principais em regime CC nesta estimativa.

RESULTADOS E DISCUSSÃO

Conforme sintetizado na Tabela 1, o Circuito 1 cumpriu seu papel de buffer, com alta resistência de entrada em relação à fonte e baixa resistência de saída para acionar o estágio seguinte. Seu ganho foi $A_{vnl} \approx 0,993$ V/V sem carga e $A_{v,L} \approx 0,990$ V/V com a carga nominal de 10 kΩ. O Circuito 2 isolado, com carga $R_L = 470$ kΩ, apresentou ganho elevado de aproximadamente $309,7$ V/V e confirmou operação ativa dos dois transistores PNP. A resistência de entrada baixa do cascode isolado justifica o uso do seguidor de emissor antes dele.

A Tabela 2 mostra que, no sistema integrado, o



Tabela 1. Resultados dos circuitos isolados.

Bloco	Resultado e observação
Circuito 1 isolado	$R_i \approx 42,0 \text{ k}\Omega$; $R_o \approx 55,1 \Omega$; sem carga: $A_{vnl} \approx 0,993 \text{ V/V}$; com $R_L = 10 \text{ k}\Omega$: $A_{v,L} \approx 0,990 \text{ V/V}$ e $f_L \approx 518,8 \text{ Hz}$. Seguidor de emissor usado como buffer de entrada.
Circuito 2 isolado com carga	$R_i \approx 1,215 \text{ k}\Omega$; $R_o \approx 2,435 \text{ k}\Omega$; $A_v \approx 49,818 \text{ dB} \approx 309,7 \text{ V/V}$; $f_L \approx 524,81 \text{ Hz}$. Resultado principal do cascode isolado, com $R_L = 470 \text{ k}\Omega$.
Circuito 2 sem carga/interno	$A_v \approx 49,863 \text{ dB} \approx 311,3 \text{ V/V}$; $f_L \approx 524,81 \text{ Hz}$. Usado apenas como comparação.

Tabela 2. Resultado final do sistema integrado.

Grandeza	Resultado
Ganho total	$A_{v,total} \approx 49,573928 \text{ dB} \approx 301,1 \text{ V/V}$
Frequência inferior	$f_{L,integrado} \approx 691,83 \text{ Hz}$
Resistência de entrada	$R_{i,total} \approx 37,95 \text{ k}\Omega$
Resistência de saída	$R_{o,total} \approx 2,46 \text{ k}\Omega$

ganho total foi aproximadamente 301,1 V/V, com $f_{L,integrado} \approx 691,83 \text{ Hz}$. A frequência inferior integrada ficou acima dos valores isolados devido ao carregamento e à interação dos acoplamentos entre estágios.

A Tabela 3 resume a implementação da PCI em nível CAD, com plano de terra, test pads, identificação visual e DRC = 0 nas regras configuradas.

As Tabelas 4 e 5 registram baixas potências absolutas na análise teórica. Os maiores valores de dissipação estimada foram encontrados no resistor do LED e no regulador linear, especialmente quando a entrada externa se aproxima de 18 V. Esses resultados devem ser confirmados em eventual protótipo.

Tabela 3. Resumo da PCI projetada no EasyEDA.

Item	Descrição
Ferramenta	EasyEDA STD.
Estado	PCI projetada no EasyEDA e submetida ao DRC, que não reportou erros: DRC = 0. Sem fabricação física nesta etapa.
Dimensão	Placa única de 100 mm × 50 mm.
Solução construtiva	Componentes principais PTH, transistores TO-92 PTH, regulador 7812 TO-220 PTH, bornes KF301/KRE PTH, eletrolíticos PTH e capacitores pequenos em SMD 1206.
Alimentação	Entrada externa VIN_DC = 15 V a 18 V; D1 = 1N4007; F1 = JK250-120U/C369130; nó posterior VIN_PROT; regulador MC7812CTG; saída interna VCC_12V; LED indicador com $R_{LED} = 2,2 \text{ k}\Omega$; D2 = 1N4148 contra corrente reversa/descarga do regulador.
Layout	Plano de terra inferior em GND; trilhas de alimentação com aproximadamente 0,7 mm; trilhas de sinal/test pads com aproximadamente 0,35 mm.
Identificação	Logo UTFPR, carimbo do projeto e test pads inseridos.
Melhoria futura	PPTC adicional em VCC_12V considerado apenas como aprimoramento futuro, não implementado nesta revisão.

Tabela 4. Dissipações dos componentes dos Circuitos 1 e 2.

Componente	Potência estimada e observação
Q1 / BC547B	6,37 mW. Circuito 1.
$R_E = 5,6 \text{ k}\Omega$	5,48 mW. Resistor de emissor do Circuito 1.
$R_1 = 82 \text{ k}\Omega$	0,414 mW. Divisor do Circuito 1.
$R_2 = 91 \text{ k}\Omega$	0,419 mW. Divisor do Circuito 1.
BC557B superior	3,49 mW. Circuito 2.
BC557B inferior	3,60 mW. Circuito 2.
R_C equivalente	35,45 mW. R_C elétrico final $\approx 2,44 \text{ k}\Omega$.
$R_C = 2,4 \text{ k}\Omega$	34,87 mW. Parcela física prevista na PCI.
$R_C = 39 \Omega$	0,567 mW. Parcela física prevista na PCI.
$R_{E1} = 220 \Omega$	3,24 mW. Resistor de emissor do Circuito 2.



Tabela 5. Dissipações da alimentação e das proteções.

Componente/ condição	Potência estimada e observação
$R_{LED} = 2,2 \text{ k}\Omega$	47,29 mW, considerando $V_{F,LED} \approx 1,8 \text{ V}$.
LED / 333-2SYGD/S530-E2-L	8,35 mW. Potência elétrica aproximada, com $V_{F,LED} \approx 1,8 \text{ V}$.
MC7812CTG, VIN_DC = 15 V	VIN_PROT $\approx 14,3 \text{ V}$; $P \approx 22,43 \text{ mW}$.
MC7812CTG, VIN_DC = 18 V	VIN_PROT $\approx 17,3 \text{ V}$; $P \approx 51,68 \text{ mW}$.
D1 / 1N4007	6,83 mW. Estimativa usando $V_{D1} \approx 0,7 \text{ V}$.
D2 / 1N4148	Desprezível em regime CC normal. Reversamente polarizado em operação normal; conduz apenas em transitório de descarga/corrente reversa.
F1 / JK250-120U	Dissipação não quantificada; depende da resistência em regime e da temperatura.

CONCLUSÃO

O projeto desenvolvido atendeu ao objetivo de projetar, validar e documentar um sistema amplificador de pequenos sinais composto por um seguidor de emissor e um cascode PNP. O Circuito 1 apresentou desempenho consistente com sua função de buffer, enquanto o Circuito 2 forneceu o alto ganho requerido. A integração dos dois estágios permitiu atingir $A_{v,total} \approx 301,1 \text{ V/V}$, $f_{L,integrado} \approx 691,83 \text{ Hz}$, $R_{i,total} \approx 37,95 \text{ k}\Omega$ e $R_{o,total} \approx 2,46 \text{ k}\Omega$.

Do ponto de vista de implementação, a PCI foi desenvolvida no EasyEDA STD, com placa única de $100 \text{ mm} \times 50 \text{ mm}$ e solução híbrida PTH + SMD 1206. A verificação de regras de projeto foi executada no EasyEDA e não reportou erros, resultando em DRC = 0, sem que isso constitua garantia completa de fabricabilidade e sem fabricação física nesta etapa.

A estimativa térmica indica baixa dissipação nos estágios discretos. Considerando a hipótese $V_{F,LED} \approx 1,8 \text{ V}$, a corrente dos estágios analógicos foi 5,11 mA, a corrente do LED foi 4,64 mA e a corrente total estimada da placa foi 9,75 mA, sem cargas externas. Os maiores valores de dissipação estimada foram encontrados no resistor do LED e no regulador linear, especialmente quando VIN_DC se aproxima de 18 V. Esses resultados permanecem teóricos e devem ser confirmados em eventual protótipo. A adição de um PPTC em série com VCC_12V permanece apenas como melhoria futura possível, sem implementação nesta revisão da PCI.

AGRADECIMENTOS

Agradeço à minha namorada e à minha família, pelo apoio constante e por sempre me motivarem na busca pelo conhecimento e na superação dos desafios. Agradeço também ao professor da disciplina, pelo empenho, pela orientação e pelo incentivo durante o desenvolvimento deste trabalho, e à Universidade Tecnológica Federal do Paraná (UTFPR), Campus Toledo, por proporcionar a estrutura e as oportunidades necessárias à minha formação acadêmica. Este trabalho representa uma etapa importante da minha trajetória e o início de novas conquistas pessoais e profissionais.

REFERÊNCIAS

- Analog Devices. *LTspice*. 2026. Disponível em: <https://www.analog.com/en/resources/design-tools-and-calculators/ltspice-simulator.html>. Acesso em: 14 jul. 2026.
- Diotec Semiconductor AG. *BC547B: Bipolar Transistor*. s.d. Disponível em: <https://diotec.com/en/product/BC547B.html>. Acesso em: 14 jul. 2026.
- EasyEDA. *Design Rule Check (DRC)*. s.d. Disponível em: <https://docs.easyeda.com/en/PCB/Design-Rule-Check/>. Acesso em: 14 jul. 2026.
- EasyEDA. *Generate Fabrication File (Gerber)*. s.d. Disponível em: <https://docs.easyeda.com/en/PCB/Gerber-Generate/index.html>. Acesso em: 14 jul. 2026.
- Everlight Electronics. *A203B/SYG/S530-E2: 333-2SYGD/S530-E2-L*. [S.l.], 2014. Issue DAE-0000830, Rev. 2. Disponível em: https://www.everlight.com/wp-content/plugins/ItemRelationship/product_files/pdf/A203B-SYG-S530-E2.pdf. Acesso em: 14 jul. 2026.
- HUBER, F.; TOTH, F. Mems measurement microphone compatible to p48 amplifiers. *HardwareX*, v. 21, p. e00627, 2025. Disponível em: <https://doi.org/10.1016/j.ohx.2025.e00627>. Acesso em: 15 jul. 2026.
- Jinrui Electronic Materials Co. *JK250-120U Resettable Fuse*. s.d. Código JLCPCB/LCSC C369130; fonte de distribuidor. Disponível em: <https://jlcpcb.com/partdetail/343043-JK250120U/C369130>. Acesso em: 14 jul. 2026.
- LangJie. *1N4148 Switching Diode*. s.d. MPN 1N4148; código LCSC C18195411; fonte de distribuidor. Disponível em: <https://www.lcsc.com/product-detail/C18195411.html>. Acesso em: 14 jul. 2026.



onsemi. *MC7800, MC7800A, MC7800AE, NCV7800: Voltage Regulators, Positive*. [S.l.], 2021. Rev. 29; Publication Order Number MC7800/D. Disponível em: <<https://www.onsemi.com/pdf/datasheet/mc7800-d.pdf>>. Acesso em: 14 jul. 2026.

onsemi. *1N4001–1N4007: Axial-Lead Glass Passivated Standard Recovery Rectifiers*. [S.l.], 2024. Rev. 18; Publication Order Number 1N4001/D. Disponível em: <<https://www.onsemi.com/download/data-sheet/pdf/1n4001-d.pdf>>. Acesso em: 14 jul. 2026.

Onsemi. *BC556, BC557, BC558, BC559, BC560: PNP Epitaxial Silicon Transistor*. [S.l.], 2024. Rev. 3; Publication Order Number BC556BTA/D. Disponível em: <<https://www.onsemi.com/pdf/datasheet/bc556bta-d.pdf>>. Acesso em: 14 jul. 2026.

RAZAVI, B. *Fundamentos de Microeletrônica*. 1. ed. Rio de Janeiro: LTC, 2010. ISBN 978-85-216-2293-2.

SEDRA, A. S.; SMITH, K. C. *Microelectronic Circuits*. 7. ed. New York: Oxford University Press, 2015. ISBN 978-0-19-933913-6.