

REVISÃO SOBRE RECUPERAÇÃO DE SINAL DE RELÓGIO PARA SISTEMAS DE COMUNICAÇÃO POR LUZ VISÍVEL

Guilherme Cavichiolo Moreira Barbosa, Paulo De Tarso Neves Junior, Juan Camilo Castellanos Rodriguez, Alexandre de Almeida Prado Pohl

*Universidade Tecnológica Federal do Paraná, Departamento Acadêmico de Eletrotécnica, Curitiba, Brasil
(guilhermebarbosa@alunos.utfpr.edu.br)*

Resumo: A comunicação por luz visível tem se destacado como uma alternativa promissora às tecnologias de comunicação por radiofrequência. Nesse contexto, a recuperação de sincronismo representa uma etapa fundamental para a correta reconstrução dos dados transmitidos. O objetivo desse trabalho é analisar a literatura atual sobre recuperação do sinal de relógio para sistemas VLC e apresentar o estado da arte, seus desafios e oportunidades.

Palavras-chave: comunicação por luz visível; clock recovery; phase locked loop; modulação por posição de pulso variável.

INTRODUÇÃO

Através de transmissões imperceptíveis aos olhos humanos, sistemas de comunicação por luz visível (VLC; do inglês *Visible Light Communication*) podem operar na ordem de megabits por segundo a metros de distância ou até gigabits por segundo a centímetros de distância (Ricci; Caputo; Mucchi, 2023, p.1). Esse tipo de comunicação compreende faixas de frequências de 400 THz a 800 THz que até então são pouco exploradas pela área de telecomunicações e são isentas de regulamentação, oferecendo ampla largura de banda (Rehman et al., 2019).

O ano de 2011 foi um marco importante por conta da primeira demonstração de um sistema *Light Fidelity* (LiFi). Harald Haas introduziu o termo LiFi na conferência de inovações TEDGlobal, enquanto apresentava seu sistema de comunicação por luz visível que alcançava uma taxa de transmissão de 10 megabits por segundo (Khandal; Jain, 2014). Esse avanço contribuiu com as definições do padrão IEEE 802.15.7 que também foi publicado em 2011 e que especifica os requisitos físicos (PHY) e de controle de acesso ao meio (MAC) para comunicação por luz visível. Através do levantamento feito por Barreira (2024, p. 4), é possível inferir que o número de trabalhos publicados sobre VLC triplicou após somente 5 anos dessa data. Em 2011 haviam menos de 150 trabalhos publicados sobre comunicação por luz visível e, em 2016, esse número ultrapassava o marco de 450 publicações. Devido aos avanços relacionados à comunicação por luz visível serem recentes, há espaço para o desenvolvimento de novas tecnologias como sistemas VLC que podem ser

integrados à instalação de iluminação já existentes em ambientes industriais ou domésticos.

A aplicação de sistemas VLC em ambientes domésticos ou industriais demonstra potencial, sobretudo quando o sistema de comunicação possibilita integração com a infraestrutura de iluminação já instalada no local. Esse fator torna-se destaque devido a redução de mão de obra e custos relacionados a roteamento de cabos, conforme salientado pelo estudo de MasMachuca et al. (2022). O estudo compara diferentes redes de comunicação industriais com base em radiofrequência ou luz visível, indicando os sistemas mais vantajosos para contextos diversos. É estimado que infraestruturas de WiFi com ampla cobertura (máximo de 10 metros até o ponto de acesso mais próximo) possuam um *Total Cost of Ownership* (TCO) mais caro que uma rede de comunicação VLC. Por fim, o estudo indica que tecnologias de comunicação por luz visível apresentam taxas de transmissão que se equiparam as de sistemas WiFi.

O desenvolvimento da comunicação VLC também possibilita a redução de níveis de radiação em ambientes sensíveis a interferência eletromagnética. Pauli e Kamp (2019) explicam o caso do hospital de Perpignan, na França, que implantou um sistema de comunicações VLC em seu prédio. Após realizar medições, foi revelado que o hospital teve seus níveis de radiação reduzidos de 6000 mW/m² para 250 mW/m². Apesar do nível de radiação recomendado pela *World Health Organization* (WHO) ser de até 620 mW/m², o hospital somente passou a seguir essa recomendação após substituir cerca de 700



roteadores de WiFi por um sistema de comunicação por luz visível.

Desenvolver *transceivers* e *drivers* de LED compatíveis com luminárias de aplicação comum é uma ideia bastante competitiva sob um aspecto financeiro. Porém, os LED's disponíveis no mercado tem pouca afinidade com o protocolo de comunicação VLC devido a natureza de seus fenômenos de luminescência. A luz base de LED's de alta intensidade brancos em sua maioria é azul e é gerada através da eletroluminescência; um fenômeno que cessa quase imediatamente após a interrupção da corrente elétrica. Entretanto, para atingir a cor branca, também são empregados materiais fosforescentes que absorvem a luz azul e emitem luz amarela. O fenômeno de fosforescência por sua vez não cessa imediatamente, portanto a luminária continua a emitir luz por um período mesmo após a interrupção de corrente elétrica. Esse é um agravante para a comunicação VLC, visto que há frequências de operação previstas pela norma IEEE 802.15.7 que se encontram acima do limite de operação das luminárias comerciais. De acordo com Albuquerque et al. (2021), é possível modular a luminosidade de luminárias comerciais em ondas quadradas até 2 a 3 MHz. A partir de 3 MHz, prevê-se que a resposta do fluxo luminoso da luminária será lento e o sinal enviado passe a saturar, dificultando a leitura da onda quadrada por um receptor. Por sua vez, a camada física PHY II da IEEE 802.15.7 prevê frequências somente a partir de 3,75 MHz.

Compreendido o contexto da saturação de sinal, é imprescindível empregar um componente de recuperação de relógio robusto e confiável. Em um sistema de comunicações, o sinal de relógio é responsável por definir os instantes em que cada bit deve ser lido, assegurando a correta interpretação dos dados recebidos. Porém, sistemas de comunicação óptica sem fio contam com somente um canal para a transmissão simultânea do sinal de dados e do sinal de relógio. Nesse canal único, modula-se o fluxo luminoso de uma luminária na faixa de kHz a MHz para transmitir uma mensagem através de luz visível, ou seja, ondas eletromagnéticas na faixa de THz (Ghassemi; Abrams; Little, 2014). Durante a recepção, o sinal óptico é convertido para sinal elétrico e processado por circuitos de detecção de envelope. Nesse momento, as componentes em alta frequência (luz visível) são eliminadas, permitindo a regeneração do sinal base. Em sequência, os circuitos de recuperação de relógio entram em ação, extraindo o sinal de temporização embutido para garantir a correta amostragem e reconstrução dos dados.

Por fim, manter o fluxo luminoso das luminárias constante e evitar oscilações de luz perceptíveis a olhos humanos, independentemente da sequência de bits transmitidos, é indispensável para sistemas VLC.

A norma IEEE 802.15.7 introduz parâmetros máximos de cintilação: *Maximum Flickering-Time Period* (MFTP) e também apresenta estratégias para lidar com suas ocorrências. Adicionalmente, um recurso desejável para o sistema é poder ajustar a intensidade do sinal irradiado pelas luminárias conforme o ambiente de instalação. Controlar o fluxo luminoso torna o sistema mais econômico em ambientes escuros e aumenta sua confiabilidade em ambientes com iluminação natural.

O padrão IEEE 802.15.7 define três tipos principais de modulação para comunicação por luz visível: *On-Off Keying* (OOK), *Variable Pulse Position Modulation* (VPPM) e *Color Shift Keying* (CSK). A modulação CSK é somente possível para sistemas que empregam luminárias LED capazes de controlar separadamente as cores vermelho, verde e azul. Ao combinar as cores em intensidade diferentes, o LED emite luz em 4, 8 ou até 16 cores diferentes, aumentando a capacidade de transmissão de dados. Porém, essas luminárias LED ainda são pouco comuns em instalações domésticas ou industriais. Quanto à modulação OOK, trens de pulso que contenham muitos bits 0 ou 1 em sequência podem causar cintilação, interrompendo a continuidade do fluxo luminoso. Já a modulação VPPM destaca-se por sua simplicidade, taxa de transmissão de dados elevada e amplitude de pulso contínua. A modulação VPPM representa os bits através da posição de pulsos. O bit 0 é representado por um pulso modulado no início do período do sinal de relógio e o bit 1 pelo pulso no fim do período do sinal de relógio. Dessa forma, a intensidade luminosa permanece a mesma independente do bit sendo transmitido, evitando oscilações de luz perceptíveis a olhos humanos. Adicionalmente, a largura dos pulsos - conhecida também como *duty cycle* - pode ser ajustada conforme a necessidade do sistema, colaborando com o ajuste de intensidade luminosa conforme o ambiente. Ultimamente, VPPM é a única dentre as modulações previstas pela camada física PHY II da IEEE 802.15.7 que prevê frequência de sinal de relógio de 3,75 MHz.

A utilização da modulação VPPM impõe desafios específicos para a etapa de sincronização, uma vez que a recuperação de relógio depende diretamente da detecção precisa das transições do sinal recebido. Como o fluxo luminoso e a largura dos pulsos variam dinamicamente para o controle de dimerização, a densidade de transições do sinal pode sofrer alterações significativas. Nesse cenário, o circuito de recuperação de relógio deve ser capaz de extrair o sinal de temporização de forma robusta, garantindo a amostragem correta dos dados mesmo sob variações severas no *duty cycle* do sinal VPPM e sem introduzir oscilações que causem cintilação perceptível.

Para viabilizar o avanço dessa tecnologia, este artigo apresenta como aporte uma revisão sistemática e uma análise qualitativa das arquiteturas de recuperação de relógio existentes, avaliando sua aplicabilidade em sistemas VLC. Diante da lacuna na literatura de soluções projetadas especificamente para a modulação VPPM, faz-se necessária uma investigação profunda sobre os diferentes tipos de circuitos de recuperação (analógicos, digitais e híbridos). Essa análise serve como fundamentação técnica para identificar as melhores estratégias de implementação e direcionar o desenvolvimento de novas soluções de sincronismo em *hardware* compatíveis com os requisitos do padrão IEEE 802.15.7. Inicialmente, este trabalho apresentará a metodologia da revisão nos materiais e métodos. A seguir são apresentados os resultados, tipos de arquiteturas de recuperação de clock e suas características. Finalmente são apresentadas as conclusões deste trabalho.

MATERIAL E MÉTODOS

A revisão bibliográfica a seguir foi conduzida utilizando a base de dados Scopus com o objetivo de identificar publicações sobre desenvolvimento de componentes de recuperação de relógio. O propósito deste levantamento é entender a evolução dos componentes de recuperação de relógio, como eles se posicionam conforme diretrizes da IEEE 802.15.7 para VLC e analisar de maneira qualitativa as tendências das especificações desses componentes. A busca foi limitada por dois termos chaves, o primeiro foram expressões relacionadas à "*Clock and Data Recovery*", garantindo que as publicações encontradas tragam uma descrição de um componente de recuperação de relógio. Já o segundo termo chave tinha o intuito de aproximar as publicações do objeto desse estudo, sendo ele um só termo dentre a seguinte seleção: *Visible Light System* (VLC), modulação VPPM ou *Hardware Description Language* (VHDL ou Verilog). A string de pesquisa utilizada foi: ("*clock recovery*" OR "*CDR*" OR "*Clock and data recovery*" OR "*Clock data recovery*" OR "*Clock/data recovery*") AND ("*visible light communication*" OR "*VLC*" OR "*VPPM*" OR "*VHDL*" OR "*Verilog*"). O resultado desta busca em 28/11/2025 retornou 64 publicações. Na sequência, foi realizado um processo de seleção baseado na aplicação dos seguintes critérios de exclusão e inclusão durante a triagem baseada no *abstract*:

Critérios de inclusão:

- Artigos publicados desde 2004 até 2025;
- Artigos que tratem de arquiteturas de recuperação de relógio com resultados em simulação ou experimentais.

Critérios de exclusão:

- Não disponível em língua portuguesa ou inglesa;
- Não contem uma implementação de circuito digital ou analógica.

Depois da aplicação dos critérios, 17 artigos foram retirados da revisão e foi realizada a leitura de 47 artigos. É possível observar esses passos da pesquisa através do diagrama mostrado na figura 1.

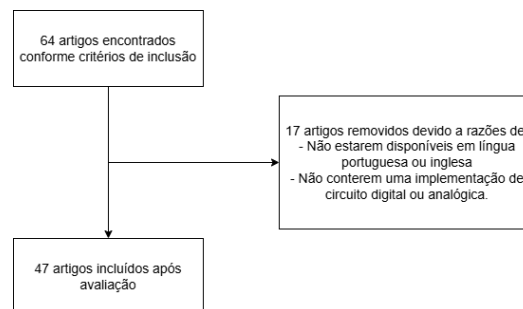


Figura 1. Diagrama das etapas de seleção da revisão bibliográfica

Fonte: O próprio autor

RESULTADOS E DISCUSSÃO

Com base na revisão bibliográfica realizada, destacam-se três publicações entre os estudos analisados. As informações consideradas mais importantes são abordadas pela análise qualitativa a seguir. Elrabaa (2006b) apresenta um circuito totalmente digital de recuperação de relógio capaz de extrair o relógio embutido em sinais seriais NRZ (Non Return to Zero) sem o uso de blocos analógicos, reduzindo a complexidade do componente. O autor ressalta que, diferentemente de PLLs analógicas que sofrem com *jitter*, ocupação de área de silício, dificuldade de portabilidade e longos tempos de travamento; o componente proposto utiliza apenas lógica digital padrão, permitindo fácil descrição e síntese em HDL. O circuito mede a duração do bit por meio de uma linha de atraso digital e forma um oscilador cuja periodicidade corresponde ao período medido. A cada transição de dados, o relógio é retemporizado, eliminando acúmulo de erro de fase. A arquitetura inclui detectores de borda, linhas de atraso idênticas, um bloco de captura de período e multiplexação de relógio e um disparador Schmitt. O estudo elaborado pelo autor fortalece a ideia de que componentes de recuperação de relógio digitais tem melhor desempenho do que componentes digitais analógicos, principalmente para sinais de dados de menor frequência. Os resultados das simulações em tecnologia CMOS de 0,13 μm feitos pelo autor mostram operação estável até 2,5 Gb/s, com



recuperação de relógio em apenas duas transições de dados e *jitter* menor que 10 ps. O componente apresenta excelente estabilidade, com erro de frequência inferior a 0,8% para diversas taxas de dados. Com menos de 100 portas, o circuito é compacto, altamente portátil e adequado para sistemas com múltiplos *links* seriais em um único chip.

Liu et al. (2013) apresentam o primeiro estudo da seleção com enfoque em componentes de recuperação de relógio para sistemas de comunicação por luz visível. Os autores propõem um sistema de comunicação por luz visível baseado em LEDs alimentados por corrente alternada, no qual o sinal transmitido é elevado à faixa de 400 kHz e então combinado com o 60 Hz da tomada. Para isso, utiliza-se um diplexador especialmente projetado, capaz de combinar sinais de baixa e alta frequência sem causar distorção. Esse arranjo permite que o LED seja polarizado corretamente e opere na região linear, mesmo quando usado para iluminação e comunicação simultaneamente. O artigo destaca que o uso de LEDs alimentados em CA para VLC ainda é pouco explorado. Em soluções anteriores, o sinal OOK sofria distorção devido ao ciclo da rede CA e as taxas de dados eram muito baixas. Para superar essas limitações, o trabalho utiliza conversão ascendente, separação espectral via diplexador e recuperação de relógio sincronizado com a alimentação CA, permitindo aplicar o sinal transmitido somente durante a porção retificada do ciclo de alimentação. Apesar de não operar conforme parâmetros da camada física PHY II para equipamentos *indoor* da IEEE 802.15.7, o estudo trás percepções significativas para a evolução da tecnologia VLC integrada à infraestrutura de iluminação doméstica. O sistema experimental utiliza um sinal modulado em OOK 200 kbit/s, conversão ascendente para 400 kHz, transmitido por um arranjo de 40 LED's alimentado pela combinação CA + mensagem. Após 2 m de transmissão, o sinal recebido passa por processamento digital: filtro passa-faixas, mistura coerente e filtro passa-baixas, permitindo recuperar o sinal de banda base e analisar o diagrama de olho, que apresentou BER (*Bit Error Rate*) $\approx 10^{-9}$. A taxa média resultante é 60 kbit/s devido ao uso de retificação de meia onda, podendo chegar a 120 kbit/s com retificação de onda completa.

Liu et al. (2020) apresentam um sistema VLC voltado para tags IoT de baixo consumo, cujo sinal de dados é modulado em *Manchester Encoding*. A modulação VPPM e Manchester são similares em sua essência, a diferença está em sinais VPPM ajustarem sua largura de pulso e a informação se encontrar na posição do pulso. O foco dos autores é mostrar uma solução compacta, energeticamente eficiente e

adequada para dispositivos alimentados por bateria. O receptor óptico de *front-end* utiliza um amplificador de transimpedância (TIA) baseado em espelho de corrente cascode operando na região próxima à tensão limiar. Em sequência, está um filtro passa-baixas que gera dinamicamente o nível de referência, e por um comparador que restaura o dado digital. Os autores argumentam que essa arquitetura reduz área, consumo e sensibilidade a variações de processo, mantendo desempenho suficiente para 1 Mbps. O texto descreve uma arquitetura totalmente digital, composta por um detector digital de frequência quadricorrelator, um detector de fase de tipo *bang-bang*, um filtro digital de malha com retenção de ordem zero e mecanismo de controle de ciclos-limite e um oscilador controlado digitalmente (DCO) com laço de auto-calibração. O DCO usa matrizes de transistores PMOS para regulação de corrente em um oscilador em anel de quatro estágios e incorpora correção de *duty cycle* para mantê-lo em 50%. O chip foi fabricado em TSMC 180 nm, ocupando 0,728 mm². As medições mostram *jitter* RMS de 3,312 ns (0,0033 UI) e ruído de fase de -39,54 dBc/Hz (1 kHz), -80,35 dBc/Hz (10 kHz) e -92,26 dBc/Hz (100 kHz). O sistema opera a 1 Mbps com consumo total de 5,58 μ W, valores que os autores consideram competitivos para aplicações de comunicação por luz visível de baixa velocidade para aplicações IoT.

Com o intuito de apresentar uma visão holística sobre o tema, as 47 publicações selecionadas foram examinadas. O objetivo foi categorizar informações relevantes como: aplicação dos componentes desenvolvidos e sua natureza, conceito base da sua arquitetura, tipo de modulação e frequência do sinal transmitido.

CARACTERÍSTICAS DOS SISTEMAS DE RECUPERAÇÃO DE RELÓGIO

Dentre as aplicações de componentes de recuperação de relógio estão os sistemas de comunicação óptica digital, comunicação óptica em espaço livre, comunicação por satélite, instrumentação de sensores, comunicação SATA, transmissão de áudio e principalmente comunicação por luz visível. A utilização nesses sistemas concentra-se principalmente na parte de recuperação de dados e serialização e deserialização de dados.

Analisando a figura 2, é possível inferir que existe um equilíbrio entre a tendência de desenvolver componentes puramente digitais (22 publicações) e mistas, ou seja, parte digitais parte analógicas (20 publicações).



Tendência de Natureza Eletrônica dos Componentes de Clock Recovery

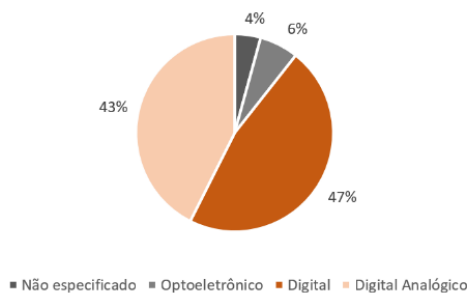


Figura 2. Natureza eletrônica dos componentes de recuperação de relógio por quantia absoluta

Fonte: O próprio autor

Porém, através da figura 3, é possível observar que componentes de recuperação de clock de natureza completamente digitais não eram comuns até 2005. A partir de 2006, observa-se uma tendência de mais componentes completamente digitais do que analógico-digitais serem desenvolvidos.

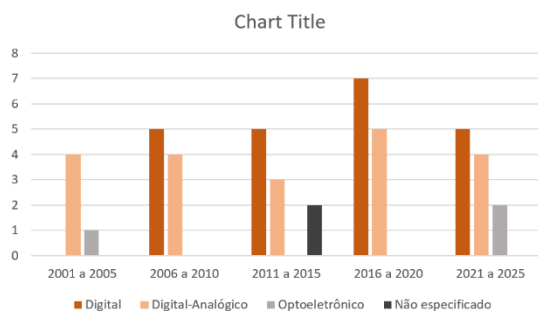


Figura 3. Natureza eletrônica dos componentes de recuperação de relógio ao longo dos anos

Fonte: O próprio autor

De acordo com a figura 4, mais da metade dos componentes foram projetados para receber sinais modulados no padrão NRZ. Somando esse número aos números de OOK, a quantidade beira três quartos do grupo amostral. Apesar de 9 publicações desenvolverem componentes de recuperação de relógio para sistemas de comunicação por luz visível, nenhuma delas trouxe uma abordagem através de modulação VPPM. (Hao; Zhang; Zhang, 2012) (Liu et al., 2013) (Song; Nam, 2015) (Huo et al., 2017) (Jurado-verdu et al., 2018) (He et al., 2019) (Liu et al., 2020) (Rodrigues et al., 2024) (Sundriyal et al., 2025).

Modulação de sinal dos componentes analisados

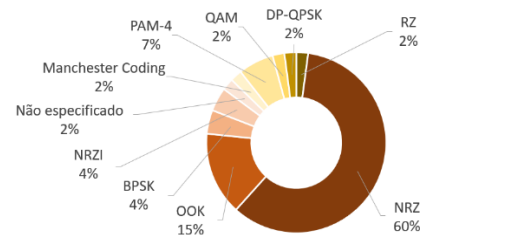


Figura 4. Tipos de modulação dos sinais de dados dos componentes de recuperação de relógio

Fonte: O próprio autor

Também é possível notar uma tendência do desenvolvimento de componentes de recuperação de relógio cuja frequência do sinal de dados esteja na faixa de 1 a 10 Ghz, conforme mostra a figura 5. Das 47 publicações, somente 3 apresentavam um sinal com frequência entre 1 MHz e 10 MHz.

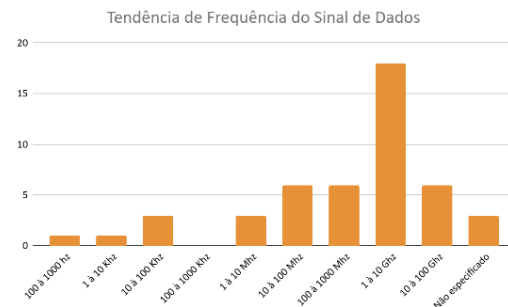


Figura 5. Faixa de frequências dos sinais de dados dos componentes de recuperação de relógio

Fonte: O próprio autor

Em sequência, nota-se quais as topologias mais comumente implementadas para componentes de recuperação de relógio. A arquitetura base de *Phase Locked Loop* foi implementado em mais de um terço dos componentes analisados, como mostra a figura 6. Adicionalmente, oversampling demonstra bastante recorrência, ocupando uma parcela superior a um quinto dos conceitos base aplicados nos componentes.

Arquiteturas dos componentes analisados

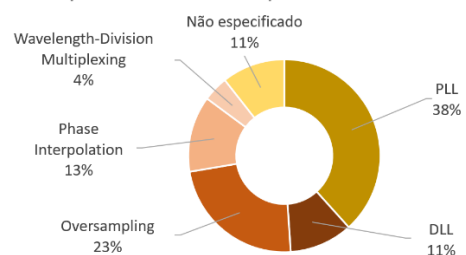


Figura 6. Conceitos base das arquiteturas dos componentes de recuperação de relógio

Fonte: O próprio autor

TIPOS DE TOPOLOGIAS DE SISTEMAS DE RECUPERAÇÃO DE RELÓGIO

A diferença entre as topologias implementadas nos estudos é apresentada a seguir. Segundo Muller e Leblebici (2007), a topologia *Phase Locked Loop* (PLL) baseia-se em três blocos: o detector de fase (PD), o filtro de malha (LF) e o oscilador controlado por tensão (VCO). O funcionamento ocorre quando o PD mede o erro de fase entre o sinal de entrada e o gerado pelo VCO. Esse erro é integrado pelo LF, gerando o sinal de controle que ajusta a frequência do VCO para reduzir o erro e travar o sistema, assim como indicado pela figura 7. As vantagens do PLL sustentadas pela literatura são a aquisição exata de frequência e a capacidade do LF de armazenar essa frequência por longos intervalos (Hong; El-gamal, 2005) (Patil; He; Jones, 2010) (Xu et al., 2016). Embora a abordagem clássica utilize componentes passivos grandes no LF e limite a otimização multicanal, topologias modernas de controle totalmente digital superam isso, reduzindo a área de silício e o *jitter* propagado.

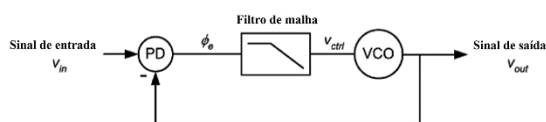


Figura 7. Diagrama de blocos da topologia Phase Locked Loop

Fonte: Adaptado de Muller e Leblebici (2007)

Segundo Muller e Leblebici (2007), a arquitetura *Delay-Locked Loop* (DLL) baseia-se em três blocos principais equivalentes ao PLL: o detector de fase, o filtro de malha e uma linha de atraso controlada por tensão (VCDL), conforme indica a figura 8. O funcionamento ocorre quando a VCDL ajusta diretamente a fase de um relógio de referência centralizado, alterando o atraso introduzido na linha para alinhá-lo ao fluxo de dados recebido. A principal vantagem apresentada pela literatura é que a VCDL modifica a fase e não a frequência, evitando adicionar um polo à função de transferência (Nassar et al., 2010) (Kumar; Pasupathy; Bindu, 2016) (Assaad; Harb, 2018). Isso resulta em um sistema de menor ordem, mais estável e sem acúmulo de *jitter* por recirculação. Além disso, permite a geração centralizada de relógio, reduzindo a área de silício em sistemas multicanais. Sua limitação é a faixa restrita da VCDL, que não compensa diferenças de frequência, exigindo técnicas como mistura em quadratura ou topologias Dual-DLL (DDLL).

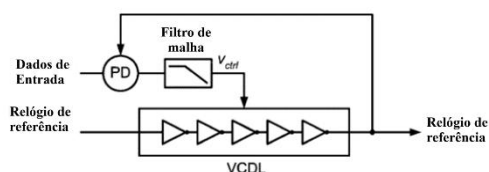


Figura 8. Diagrama de blocos da topologia Delay Locked Loop

Fonte: Adaptado de Muller e Leblebici (2007)

Segundo Muller e Leblebici (2007), a arquitetura de *Oversampling* baseia-se em um relógio multifásico gerado por PLL ou DLL, elementos de resincronização e um bloco de lógica de decisão, conforme mostra a figura 9. O funcionamento ocorre quando o relógio multifásico amostra o sinal de entrada em diferentes instantes de um mesmo período. Essas amostras geram uma palavra digital processada pela lógica de decisão, que executa um algoritmo de seleção de fase para identificar a amostra ideal do dado. A principal vantagem segundo a literatura beneficiar-se diretamente da evolução das tecnologias CMOS, tornando-se cada vez mais eficiente em área e consumo (Ahmed; Kwasniewski, 2007) (Song; Nam, 2015) (Huo et al., 2017). Como limitações, o sistema é altamente sensível a descasamentos de atraso na distribuição do relógio e o algoritmo digital pode ocupar área considerável de silício.

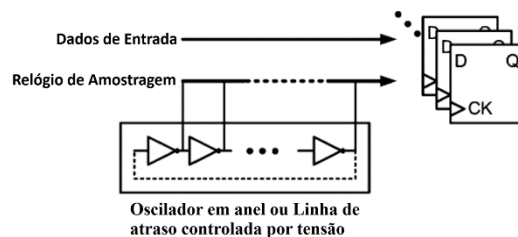


Figura 9. Diagrama de blocos da topologia de Oversampling

Fonte: Adaptado de Muller e Leblebici (2007)

Segundo Muller e Leblebici (2007), a arquitetura de *Phase Interpolation* baseia-se em um gerador de relógio multifásico via PLL ou DLL, um multiplexador de seleção de fase, um interpolador de fase e uma malha de controle, conforme indica a figura 10. A malha de controle é comumente formada por um detector de fase do tipo *bang-bang*, filtro de malha digital e conversor digital-analógico. O funcionamento ocorre quando o sistema seleciona a fase do relógio mais alinhada às transições dos dados. Para aumentar a resolução, os bits mais significativos do filtro de malha definem o intervalo entre duas fases consecutivas adjacentes, enquanto os bits menos significativos controlam a ponderação da interpolação entre elas, refinando a fase recuperada. A literatura destaca sua vantagem como a eficiência

de área e o excelente desempenho em modo de rajada (*burst mode*), pois evita as distorções de *duty cycle* comuns ao atrasar dados não periódicos (Hsieh; Sobelman, 2005) (Zhao et al., 2019) (Souliotis; Tsimpis; Vlassis, 2023). Quando usa relógios em quadratura, requer o roteamento de apenas dois sinais diferenciais, eliminando o custo de uma DLL por canal e superando a sobrecarga da sobreamostragem. Como limitação implícita, a arquitetura exige uma malha de controle digital e de conversão precisa para gerenciar a ponderação fina das fases.

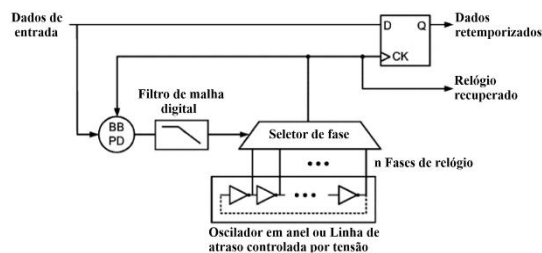


Figura 10. Diagrama de blocos da topologia de Phase Interpolation

Fonte: Adaptado de Muller e Leblebici (2007)

CONCLUSÃO

A revisão bibliográfica realizada permitiu compreender a evolução dos componentes de recuperação de relógio e sua importância para sistemas de comunicação digital, em especial para a comunicação por luz visível. Os estudos analisados demonstram que arquiteturas baseadas em *phase locked loop* e em técnicas de *oversampling* continuam predominando no estado da arte, coexistindo com soluções totalmente digitais que buscam reduzir consumo, área de silício, tempo de travamento e sensibilidade a variações de processo. Observou-se também que a maior parte dos componentes desenvolvidos é destinada a sistemas ópticos de alta velocidade, operando predominantemente com sinais modulados em NRZ ou OOK e em frequências da ordem de gigahertz.

Em contrapartida, verificou-se que os estudos voltados especificamente à comunicação por luz visível ainda são reduzidos e, principalmente, que não se encontram trabalhos dedicados ao desenvolvimento de componentes de recuperação de relógio para sinais modulados em VPPM ou CSK. Embora tenham sido identificadas pesquisas relacionadas a sistemas VLC e a modulações com características semelhantes, como Manchester, permanece uma lacuna quanto à recuperação de sincronismo em sistemas VPPM que atendam simultaneamente aos requisitos de controle de cintilação, ajuste de luminosidade e compatibilidade com luminárias LED comerciais.

Dessa forma, conclui-se que existe uma oportunidade relevante para o desenvolvimento de arquiteturas de recuperação de relógio específicas para VLC baseadas em VPPM ou CSK, especialmente utilizando implementações totalmente digitais em FPGA. Soluções com essas características podem contribuir para aumentar a flexibilidade, reduzir custos de implementação e favorecer a integração da comunicação por luz visível às infraestruturas de iluminação existentes, colaborando para a consolidação dessa tecnologia em aplicações industriais, comerciais e residenciais.

REFERÊNCIAS

- AHMED, S. I.; KWASNIEWSKI, T. A. Efficient simulation of jitter tolerance for all-digital data recovery circuits. Em: IEEE MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS). 2007. , 2007. p. 1070–1073. DOI: <https://doi.org/10.1109/MWSCAS.2007.4488745>.
- AHMED, S. I.; ORTHNER, K.; KWASNIEWSKI, T. A. Behavioral test benches for digital clock and data recovery circuits using verilog-a. Em: PROCEEDINGS OF THE IEEE CUSTOM INTEGRATED CIRCUITS CONFERENCE (CICC). 2005., 2005. , 2005. p. 297–300. DOI: <https://doi.org/10.1109/CICC.2005.1568664>.
- ALBUQUERQUE, V. M. de et al. A simple resonant switched-capacitor LED driver employed as a fast pulse-based transmitter for VLC applications. IEEE Journal of Emerging and Selected Topics in Power Electronics, v. 9, n. 1, DOI: <https://doi.org/10.1109/JESTPE.2020.2965505>.
- ALSER, M. H. et al. Design and fpga implementation of pll-based quarter-rate clock and data recovery circuit. Em: 2012 IEEE 4TH INTERNATIONAL CONFERENCE ON INTELLIGENT AND ADVANCED SYSTEMS (ICIAS). 2012, Kuala Lumpur, Malaysia. Kuala Lumpur, Malaysia: , 2012. p. 825–830. DOI: <https://doi.org/10.1109/ICIAS.2012.6306128>.
- ASHARI, Z. M.; NORDIN, A. N.; IBRAHIMY, M. I. Design of a 5 ghz phase-locked loop. Em: 2011 IEEE REGIONAL SYMPOSIUM ON MICRO AND NANOELECTRONICS (RSM). 2011, Kota Kinabalu, Malaysia. Kota Kinabalu, Malaysia: , 2011. p. 167–171. DOI: <https://doi.org/10.1109/RSM.2011.6088316>.
- ASSAAD, M.; CUMMING, D. R. S. Cmos ic design and verilog-a modelling of 10-gb/s pll-based deserializer for inter-chip communication in soc. Em: INTERNATIONAL SYMPOSIUM ON SYSTEM-ON-CHIP. 2007. , 2007. DOI: <https://doi.org/10.1109/ISSOC.2007.4427420>.



- ASSAAD, M.; HARB, A. A synthesizable serial link for point-to-point communication in soc/noc. Em: PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONICS (ICM). 2017., 2018. , 2018. p. 1–4. DOI: <https://doi.org/10.1109/ICM.2017.8268824>.
- BARREIRA, A. R. **Sistema Protótipo de Comunicação via Luz Visível (VLC/LiFi) para Fins Educacionais**. 2024. 120 p. Dissertação (Mestrado) — Universidade Federal Fluminense Niterói 2024. Link: https://ppgeet.uff.br/site/wp-content/uploads/2024/06/DissertacaoAmanda_ver_saoFinal.pdf. Acesso em: 15 de junho de 2025.
- CHEN, Y. et al. Verilog hdl modeling and design of 10 gb/s serdes full-rate cdr in 65 nm cmos. High Technology Letters, v. 20, n. 2, DOI: <https://doi.org/10.3772/j.issn.1006-6748.2014.02.005>.
- DEVI, M. S.; SAKETH, M.; MUTHUMEENAKSHI, K. Design of costas loop for carrier recovery mechanism of bpsk demodulation. Em: PROCEEDINGS OF THE 2017 INTERNATIONAL CONFERENCE ON INTELLIGENT COMPUTING AND CONTROL SYSTEMS (ICICCS). 2017., 2017. p. 424–429. DOI: <https://doi.org/10.1109/ICCONS.2017.8250758>.
- ELRABAA, M. E. S. A digital clock re-timing circuit for on-chip source-synchronous serial links. Em: PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONICS (ICM). 2006. , 2006. p. 206–209. DOI: <https://doi.org/10.1109/ICM.2006.373303>.
- ELRABAA, M. E. S. A portable clock recovery circuit (crc) for systems-on-chip serial data communication. Em: PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONICS (ICM). 2006. , 2006. p. 198–201. DOI: <https://doi.org/10.1109/ICM.2006.373301.45>
- GHASSEMI, A.; ABRAMS, D.; LITTLE, T. D. C. A tutorial on visible light communication: Modulation and signal processing. Em: 2014 IEEE PHOTONICS CONFERENCE (IPC). 2014, San Diego, CA, USA. San Diego, CA, USA: , 2014. p. 1–2. DOI: **10.1109/IPCon.2014.6995213**.
- HAO, N.; ZHANG, M.; ZHANG, Y. An ook based visible light communication system for short distance. Em: 7TH INTERNATIONAL ICST CONFERENCE ON COMMUNICATIONS AND NETWORKING IN CHINA (CHINACOM). 2012, Kunming, China. Kunming, China: , 2012. p. 306–308. DOI: <https://doi.org/10.1109/ChinaCom.2012.6417496>.
- HAYKIN, S. Introdução aos Sistemas de Comunicação. 2. ed. 2006. HE, J. et al. Efficient sampling scheme based on length estimation for optical camera communication. IEEE Photonics Technology Letters, v. 31, n. 11, DOI: <https://doi.org/10.1109/LPT.2019.2910118>.
- HEO, D.-H. et al. An analysis of 32-gb/s and full-rate phase interpolator based clock and data recovery. Em: PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON ELECTRONICS, INFORMATION AND COMMUNICATION (ICEIC). 2024. , 2024. DOI: <https://doi.org/10.1109/ICEIC61013.2024.10457116>.
- HONG, D. S.; EL-GAMAL, M. N. An efficient design and verification workflow for evaluating the proper operation of clock and data recovery systems. Em: IEEE MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS). 2005., 2005. , 2005. p. 1827–1830. DOI: <https://doi.org/10.1109/MWSCAS.2005.1594478>.
- HSIEH, M.-T.; SOBELMAN, G. E. Clock and data recovery with adaptive loop gain for spread spectrum serdes applications. Em: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS). 2005. , 2005. p. 4883–4886. DOI: <https://doi.org/10.1109/ISCAS.2005.1465727>.
- HUO, Q. et al. Fpga-based 120 mbps online visible light communication system with rgb leds. Em: 2016 15TH INTERNATIONAL CONFERENCE ON OPTICAL COMMUNICATIONS AND NETWORKS (ICOON). 2017. , 2017. DOI: <https://doi.org/10.1109/ICOON.2016.7875598>.
- JURADO-VERDU, C. et al. Rgb synchronous vlc modulation scheme for occ. Em: 2018 11TH INTERNATIONAL SYMPOSIUM ON COMMUNICATION SYSTEMS, NETWORKS AND DIGITAL SIGNAL PROCESSING (CSNDSP). 2018. , 2018. DOI: <https://doi.org/10.1109/CSNDSP.2018.8471829>.
- KAKEHBRA, Z. et al. A fast-lock, low jitter, high-speed half-rate cdr architecture with a composite phase detector (cpd). Em: PROCEEDINGS OF THE 26TH INTERNATIONAL CONFERENCE ON MIXED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS (MIXDES). 2019. , 2019. p. 141–146. DOI: <https://doi.org/10.23919/MIXDES.2019.8787120>.
- KANG, J.; LEE, C. Digital clock data recovery circuit for s/pdif. Em: 2016 IEEE ASIA PACIFIC CONFERENCE ON CIRCUITS AND SYSTEMS (APCCAS). 2017. , 2017. p. 325–326.



- DOI:
<https://doi.org/10.1109/APCCAS.2016.7803965>.
- KHANDAL, D.; JAIN, S. Li-Fi (light fidelity): The future technology in wireless communication. International Journal of Computer Applications, v. 98, n. 9, KUBÍ ĚEK, M. Simulation of digital clock and data recovery of strongly disturbed signals. Em: 17TH INTERNATIONAL CONFERENCE RADIOELEKTRONIKA. 2007. , 2007. DOI: <https://doi.org/10.1109/RADIOELEK.2007.371478.46>
- KUMAR, M. K.; PASUPATHY, K. R.; BINDU, B. Design of finfet based all-digital dll for multiphase clock generation. Em: 2015 IEEE 12TH INTERNATIONAL CONFERENCE ON ELECTRONICS, ENERGY, ENVIRONMENT, COMMUNICATION, COMPUTER CONTROL (INDICON). 2016. ,2016. DOI: <https://doi.org/10.1109/INDICON.2015.7443371>.
- KUMAR, V.; KHOSLA, M. Design of a low power delay locked loop based clock and data recovery circuit. Em: ANNUAL IEEE INDIA CONFERENCE (INDICON). 2011, Hyderabad, India. Hyderabad, India: , 2011. DOI: <https://doi.org/10.1109/INDCON.2011.6139507>.
- LATHI, B. P.; DING, Z. Modern Digital and Analog Communication Systems. 4. ed. 2009. LIU, M.-C. et al. A low-power reference-less clock/data recovery for visible light communication devices requiring low data throughput. Microsystem Technologies, v. 26, n. 1, DOI: <https://doi.org/10.1007/s00542-019-04541-w>.
- LIU, M.-C. et al. A low-power reference-less clock/data recovery for visible light communication devices requiring low data throughput. Microsystem Technologies, 2020, v. 26, n. 1, DOI: <https://doi.org/10.1007/s00542-019-04541-w>.
- LIU, Y. F. et al. Ac-based phosphor led visible light communication by utilizing novel signal modulation. Optical and Quantum Electronics, 2013, v. 45, n. 10, DOI: <https://doi.org/10.1007/s11082-013-9716-y>.
- MAS-MACHUCA, C. et al. Techno-economics of LiFi compared to Wi-Fi in industrial IoT applications. Em: IECON 2022 – 48TH ANNUAL CONFERENCE OF THE IEEE INDUSTRIAL ELECTRONICS SOCIETY. 2022, Brussels, Belgium. Brussels, Belgium: , 2022. p. 1–5. DOI: [10.1109/IECON49645.2022.9968851](https://doi.org/10.1109/IECON49645.2022.9968851)
- MENDOZA, E. J. A. et al. A 10gb/s pi-based quarter rate all-digital cdr with improved linearity. Em: PROCEEDINGS OF THE IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS). 2025. , 2025. DOI: <https://doi.org/10.1109/ISCAS56072.2025.11044203>.
- MULLER, P.; LEBLEBICI, Y. CMOS Multichannel Single-Chip Receivers for Multi-Gigabit Optical Data Communications. DOI: <https://doi.org/10.1007/978-1-4020-5912-4> 2007. ISBN 9781402059117. DOI: <https://doi.org/10.1007/978-1-4020-5912-4>.
- MULLER, P. et al. Top-down design of a low-power multi-channel 2.5-gbit/s/channel gated oscillator clock-recovery circuit. Em: DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE (DATE). 1., 2005. , 2005. p. 258–263. DOI: <https://doi.org/10.1109/DATE.2005.315>.
- NASSAR, A. et al. Multichannel clock and data recovery: A synchronous approach. IEEE Transactions on Circuits and Systems II: Express Briefs, v. 57, n. 5, DOI: <https://doi.org/10.1109/TCSII.2010.2047308>.
- PATEL, K.; ASHOK, R.; GUPTA, S. Equalizer-free clock recovery for pam-4 optical interconnects. Em: INTERNATIONAL CONFERENCE ON SIGNAL PROCESSING AND COMMUNICATIONS (SPCOM). 2020. , 2020. DOI: <https://doi.org/10.1109/SPCOM50965.2020.9179629>.
- PATIL, J.; HE, L.; JONES, M. Clock and data recovery for a 6 gb/s serdes receiver. Em: 2010 3RD IEEE INTERNATIONAL CONFERENCE ON COMPUTER SCIENCE AND INFORMATION TECHNOLOGY (ICCSIT). 2010, Chengdu, China. Chengdu, China: , 2010. p. 217–221. DOI: <https://doi.org/10.1109/ICCSIT.2010.5564973>.
- PAULI, G.; KAMP, J. **LiFi: Communication at the Speed of Light and the Emergence of the Internet of People**. 1. ed. 2019. DOI: 1733717706
- RADHA, M. et al. An implementation of serial interface engine with transceiver using verilog hdl. Em: PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON ENERGY, MATERIALS AND COMMUNICATION ENGINEERING (ICEMCE). 2023. , 2023. DOI: <https://doi.org/10.1109/ICEMCE57940.2023.10433977>.



- RICCI, S.; CAPUTO, S.; MUCCHI, L. Fpga-based visible light communications instrument for implementation and testing of ultralow latency applications. **IEEE Transactions on Instrumentation and Measurement**, v. 72. DOI: 10.1109/TIM.2023.3280520
- RODRIGUES, L. et al. A packet-based analog m-cap visible light communication system for internet of things. Em: PROCEEDINGS OF THE 14TH INTERNATIONAL SYMPOSIUM ON COMMUNICATION SYSTEMS, NETWORKS AND DIGITAL SIGNAL PROCESSING (CSNDSP). 2024. , 2024. p. 389–394. DOI: <https://doi.org/10.1109/CSNDSP60683.2024.10636661>.
- ROSHNA, T. R. et al. Design and implementation of digital costas loop and bit synchronizer in fpga for bpsk demodulation. Em: 2013 INTERNATIONAL CONFERENCE ON CONTROL, COMMUNICATION AND COMPUTING (ICCC). 2013, Thiruvananthapuram, India. Thiruvananthapuram, India: , 2013. p. 39–44. DOI: <https://doi.org/10.1109/ICCC.2013.6731621>.
- SAWABY, A. M. et al. A 10 gb/s serdes transceiver. Em: PROCEEDINGS OF THE 3RD NOVEL INTELLIGENT AND LEADING EMERGING SCIENCES CONFERENCE (NILES). 2021. , 2021.p. 389–393. DOI: <https://doi.org/10.1109/NILES53778.2021.9600520>.
- SHIN, K.-B. et al. Verilog synthesis of usb 2.0 full-speed device phy ip. Em: 2013 INTERNATIONAL SOC DESIGN CONFERENCE (ISOCC). 2013, Busan, South Korea. Busan, South Korea: , 2013. p. 162–165. DOI: <https://doi.org/10.1109/ISOCC.2013.6863961>.
- SONG, S.-J.; NAM, H. Short-distance visible light communication with simple clock data recovery for audio applications. *Journal of the Society for Information Display*, v. 23, n. 10, DOI: <https://doi.org/10.1002/jsid.375>.
- SOULIOTIS, G.; TSIMPOS, A.; VLASSIS, S. Phase interpolator-based clock and data recovery with jitter optimization. *IEEE Open Journal of Circuits and Systems*, v. 4,, DOI: <https://doi.org/10.1109/OJCAS.2023.3295649>.
- SUNDRIYAL, A. et al. Design and synthesis of physical layer module of usb 3.0. Em: PROCEEDINGS OF THE 2025 INTERNATIONAL CONFERENCE ON EMERGING TECHNOLOGIES IN COMPUTING AND COMMUNICATION (ETCC). 2025. , 2025. DOI: <https://doi.org/10.1109/ETCC65847.2025.11108447>.
- TARPARA, E. G.; SONI, J.; PATEL, N. Fpga based 1-channel fiber optic analog signal link using 8b/10b encoding scheme. Em: 2014 INTERNATIONAL CONFERENCE ON ADVANCES IN ELECTRONICS, COMPUTERS AND COMMUNICATIONS (ICAEC). 2015. , 2015. DOI: <https://doi.org/10.1109/ICAEC.2014.7002451>.
- THAHIR, T. et al. Low-power clock-gated pam4 serdes design for high data rate communication system. Em: PROCEEDINGS OF THE 7TH INTERNATIONAL CONFERENCE ON INVENTIVE MATERIAL SCIENCE AND APPLICATIONS (ICIMA). 2025. , 2025. p. 372–378. DOI: <https://doi.org/10.1109/ICIMA64861.2025.11073935.48>
- WANG, X. et al. Experimental investigation of ultra-fast cdr scheme for high-speed free-space optical data transmission with multiple access. *IEEE Access*, v. 13,, DOI: <https://doi.org/10.1109/ACCESS.2025.3565527>.
- WANG, Z.; LIANG, L. An all digital cmos serial link transceiver with 3x over-sampling based data recovery. Em: 6TH IEEE INTERNATIONAL WORKSHOP ON SYSTEM-ON-CHIP FOR REAL-TIME APPLICATIONS (IWSOC). 2006. , 2006. p. 15–19. DOI: <https://doi.org/10.1109/IWSOC.2006.348256>.
- XU, S. et al. Real-time full-duplex digital video communication system based on parallel-connected micro-led array detection. *Acta Optica Sinica*, v. 45, n. 22, DOI: <https://doi.org/10.3788/AOS251131>.
- XU, W. et al. Behavioral modeling to circuit design steps of an injection locked cdr in 0.18 μm -cmos. Em: 2016 10TH IEEE INTERNATIONAL CONFERENCE ON ANTI-COUNTERFEITING, SECURITY AND IDENTIFICATION (ASID). 2016. , 2016. p. 96–99. DOI: <https://doi.org/10.1109/ICASID.2016.7873925>.
- ZHAI, Z. et al. Highly compatible sub-symbol level laser communication/ranging integrated system. *Infrared and Laser Engineering*, v. 53, n. 8, DOI: <https://doi.org/10.3788/IRLA20240194>.
- ZHAO, Y. et al. A cdr system based on improved second order digital filter, hysteretic voter and phase interpolator. *Chinese Journal of Electronics*, v. 28, n. 6, DOI: <https://doi.org/10.1049/cje.2019.08.006>.