



Desenvolvimento e Caracterização Experimental de um Conversor *Buck* com Controle Digital Baseado no Microcontrolador CH32V003

Samuel Eudes Heinrichs¹, Luís Alberto Martignago², Felipe Walter Dafico Pfrimer^{1,2},
Alessandro Paulo de Oliveira^{1,2}

¹Universidade Tecnológica Federal do Paraná, Toledo - PR, Brasil (samuelheinrichs@alunos.utfpr.edu.br)

²Universidade Tecnológica Federal do Paraná, Toledo - PR, Brasil

Resumo: Este trabalho apresenta o desenvolvimento e a caracterização experimental de um conversor *Buck* de 24 V, a 100 kHz, controlado por um CH32V003. Integram-se aquisição de tensão e corrente, controle proporcional-integral (PI), proteção de sobrecorrente e comunicação serial. As curvas estáticas alcançaram coeficientes de determinação (R^2) de 0,9998 para tensão e 0,9941 para corrente, mas observou-se oscilação de até 3 V pico a pico em 12 V, revelando limitações dinâmicas.

Palavras-chave: Conversor *Buck*; Controle digital; CH32V003; Eletrônica de potência; Sistemas embarcados.

INTRODUÇÃO

Conversores de corrente contínua para corrente contínua (CC-CC) são elementos centrais no processamento de energia, pois permitem adequar níveis de tensão às exigências da carga com elevada eficiência. Entre as topologias não isoladas, o conversor *Buck* é empregado quando se deseja uma tensão média de saída inferior à tensão de entrada, condição recorrente em fontes chaveadas e sistemas embarcados (Mohan *et al.*, 2003; Erickson e Maksimović, 2020; Rashid, 2014).

O controle digital amplia a flexibilidade desses conversores ao permitir que aquisição, regulação, proteção e comunicação sejam integradas em uma plataforma programável. Essa integração, entretanto, transforma a malha em um sistema amostrado: quantização, atraso de cálculo, periodicidade de execução, atualização da modulação por largura de pulso (PWM) e saturações passam a influenciar sua dinâmica. Se não forem considerados, esses efeitos podem reduzir as margens de estabilidade ou produzir oscilações de baixa frequência e ciclos-limite (Maksimović e Zane, 2007; Corradini *et al.*, 2015; Peterchev e Sanders, 2003).

Nesse contexto, o problema de pesquisa deste trabalho consiste em verificar se uma implementação embarcada de baixo custo pode conciliar rastreamento estático, estabilidade e proteção em um conversor *Buck*, bem como identificar as limitações que impedem um comportamento regulado satisfatório. A questão é relevante porque a integração de funções em um único dispositivo reduz custo e complexidade, mas o aparente bom ajuste entre referências digitais e grande-

zas medidas pode coexistir com deficiências dinâmicas que somente uma caracterização experimental crítica evidencia.

Assim, este trabalho tem como objetivo desenvolver e caracterizar experimentalmente um conversor *Buck* com controle digital embarcado, avaliando a coerência das relações estáticas, o comportamento da limitação de corrente e as oscilações observadas. A contribuição está na análise conjunta do estágio de potência e da implementação de controle, com explicitação das restrições de temporização e estabilidade. Busca-se, desse modo, fornecer evidências para a reprodução e o aperfeiçoamento do protótipo, sem atribuir à versão atual um nível de desempenho industrial.

MATERIAL E MÉTODOS

O protótipo foi implementado com o microcontrolador CH32V003, que reúne núcleo RISC-V (arquitetura de conjunto reduzido de instruções) a 48 MHz, conversor analógico-digital (ADC) de 10 bits, amplificador operacional, acesso direto à memória (DMA), temporizador e transmissor/receptor universal síncrono/assíncrono (USART) (Nanjing Qinheng Microelectronics Co., Ltd. (WCH), 2024, 2025). Esses recursos permitem concentrar acionamento PWM, aquisição e comunicação serial no mesmo dispositivo.

A Tabela 1 reúne os principais parâmetros elétricos e digitais verificados no hardware (Figura 1), no software embarcado (*firmware*) e nos registros experimentais. A lista completa de materiais e os arquivos de fabricação permanecem disponíveis no repositório do projeto (Martignago, 2026).



Tabela 1: Parâmetros do conversor e da implementação digital.

Parâmetro	Valor
Tensão de entrada	24 V
Ponto nominal analisado	12 V; 47 Ω
Frequência de chaveamento	100 kHz
Indutor de saída	470 μ H
Capacitância de saída	3×10 μ F
Resistor de medição (<i>shunt</i>)	0,05 Ω equivalente
Frequência de relógio do microcontrolador	48 MHz
ADC	10 bits; canais 3/7
Temporizador 1 (TIM1)	contador de 0 a 479 (480 ciclos)
Coefficientes do PI	$K_P = 6$, $K_I = 4$; escala 2^4
Limites do integrador	-3000 a 3000
Passos da referência	+10/ - 40 unidades digitais
Comunicação serial	115200 bit/s

Em condução contínua ideal, a razão cíclica nominal e a ondulação de corrente são dadas por

$$D = \frac{V_o}{V_{in}}, \quad (1)$$

$$\Delta I_L = \frac{(V_{in} - V_o)D}{Lf_s}. \quad (2)$$

Nessas expressões, D é a razão cíclica, V_{in} e V_o são as tensões de entrada e saída, L é a indutância, f_s é a frequência de chaveamento e ΔI_L é a ondulação da corrente no indutor.

Para $V_{in} = 24$ V, $V_o = 12$ V, $L = 470$ μ H e $f_s = 100$ kHz, obtém-se $D = 0,5$ e $\Delta I_L \approx 0,128$ A pico a pico. Considerando a capacitância de saída $C_o = 30$ μ F e desprezando a resistência série equivalente (ESR) e as perdas de comutação, resulta a ondulação capacitiva ideal $\Delta V_o \approx \Delta I_L / (8f_s C_o) = 5,3$ mV pico a pico. Esses valores são referências de projeto e não substituem a medição experimental.

O estágio de potência utiliza o MOSFET BSC190N15 NS3G (transistor de efeito de campo metal-óxido-semicondutor), o diodo MUR1620CT, o indutor de 470 μ H e três capacitores de 10 μ F. O circuito de acionamento de porta (*gate driver*) FOD8342TR2 é alimentado por um conversor isolado B1212S; a alimentação auxiliar inclui reguladores LM7812 e LM1084-5.0.

A tensão de saída é reduzida por um divisor de 40 k Ω /10 k Ω . Inicialmente a corrente seria obtida

pela queda de tensão sobre dois resistores de 0,1 Ω em paralelo, com resistência equivalente nominal de 0,05 Ω , e condicionada pelo amplificador operacional interno do CH32V003, como apresentado no esquema completo na Figura 1. Entretanto, optou-se por empregar apenas uma resistência de 0,1 Ω para melhorar a resolução da medição de corrente em detrimento do alcance dinâmico.

O PWM é gerado pelo canal 3 do TIM1 do microcontrolador, com pré-divisor nulo e registrador de período igual a 479, resultando em $48 \text{ MHz}/480 = 100$ kHz. O ADC opera em varredura contínua dos canais de tensão e corrente, com 30 ciclos de amostragem por canal. A cada transferência de duas amostras, o DMA atualiza as variáveis de medição e uma interrupção sinaliza ao laço principal a disponibilidade de novos valores. O ADC de 10 bits fornece códigos inteiros de 0 a 1023, e as referências internas utilizam a mesma escala digital adimensional. O erro utilizado pelo controlador é dado por

$$e[k] = N_{V,ref}[k] - N_V[k]. \quad (3)$$

Nessa expressão, k é o índice da execução do controlador, $N_{V,ref}[k]$ é o código digital da referência interna de tensão e $N_V[k]$ é o código fornecido pelo canal de tensão do ADC.

No *firmware* desenvolvido, a saída do controlador PI é calculada em aritmética inteira por

$$u_{raw}[k] = \frac{6e[k] + 4I[k]}{16}, \quad (4)$$

em que $u_{raw}[k]$ representa o valor de atuação calculado antes da aplicação dos limites de saturação, e $I[k]$ é o estado acumulado do integrador, distinto da corrente física. Os coeficientes proporcional e integral são, respectivamente, $K_P = 6$ e $K_I = 4$; a divisão por 16 resulta em ganhos efetivos de 0,375 e 0,25 nas escalas digitais adotadas. O integrador é atualizado condicionalmente e limitado ao intervalo $[-3000, 3000]$, evitando seu acúmulo excessivo durante a saturação (*windup*) (Moreno-Valenzuela, 2020; Texas Instruments, 2015). Após o cálculo de $u_{raw}[k]$, aplica-se uma lógica não linear de saturação ao valor utilizado para atualizar o PWM. Quando $u_{raw}[k] < 8$, o comando aplicado ao PWM é forçado a zero; para $8 \leq u_{raw}[k] \leq 420$, utiliza-se diretamente o valor calculado; e, quando $u_{raw}[k] > 420$, escreve-se o valor 480 no registrador de comparação do PWM. As transições abruptas entre essas regiões introduzem discontinuidades na ação de controle e podem influenciar o comportamento dinâmico da malha.

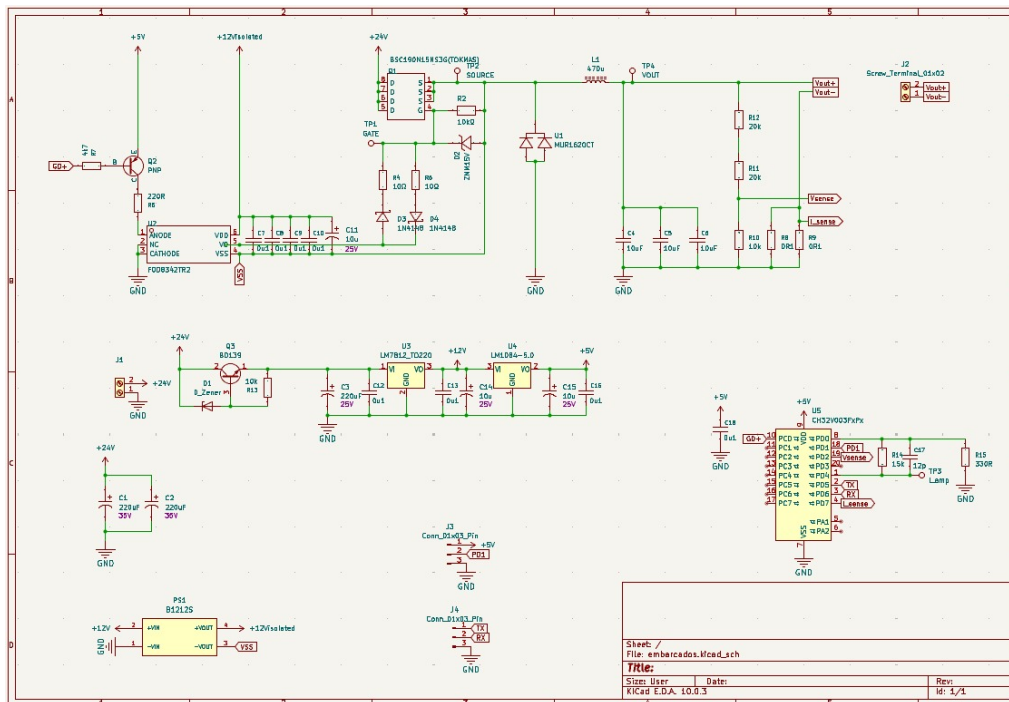


Figura 1: Esquema geral do estágio de potência, fontes auxiliares, condicionamento e microcontrolador.

As Figuras 2 e 3 mostram o leiaute e a renderização tridimensional da placa. A Figura 3 não corresponde a uma fotografia do protótipo montado; ela é utilizada apenas para documentar a disposição prevista dos componentes.

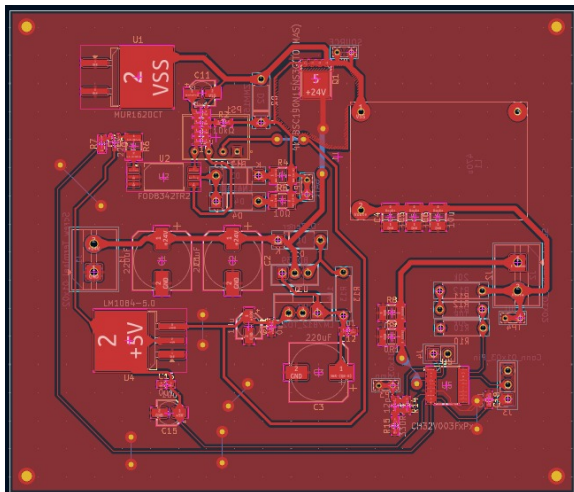


Figura 2: Leiaute 2D da placa de circuito impresso.

A integração entre atualização da referência, controle, saturação, aquisição e proteção é sintetizada na Figura 4. Nela, $N_{V,cmd}$ é o comando de tensão solicitado, $N_I[k]$ é o código fornecido pelo canal de corrente do ADC, $N_{I,ref}$ é o código digital do limite de corrente, $u[k]$ é o comando aplicado ao PWM após a saturação e I_o é a corrente de saída.

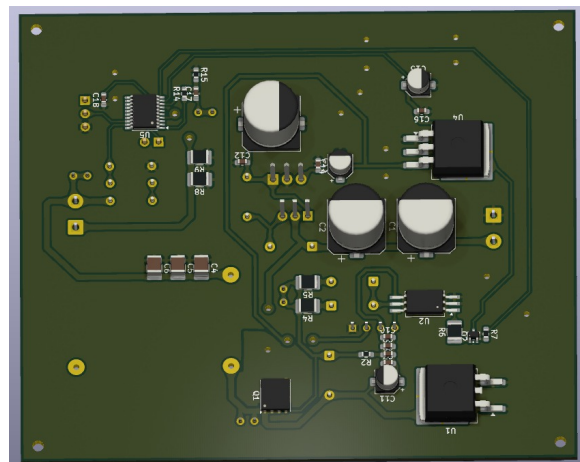


Figura 3: Renderização 3D da placa desenvolvida.

Em operação normal, a referência interna aumenta 10 unidades digitais por execução do controlador. Quando $N_I > N_{I,ref}$, a referência de tensão é reduzida em 40 unidades digitais e o integrador perde um oitavo de seu valor. Não há histerese explícita no comparador de corrente. Como os passos são definidos por execução, e não por unidade de tempo, a taxa física de variação depende do período efetivo do laço. Embora o PWM opere a 100 kHz, essa frequência não corresponde à taxa de atualização do controlador. A interrupção do DMA apenas sinaliza a conclusão da aquisição dos canais de tensão e corrente, enquanto a função de controle é executada posteriormente no laço principal. Como esse laço também processa a comu-



nicação serial e formata continuamente a mensagem transmitida, o intervalo entre duas execuções consecutivas do controlador pode variar com a carga computacional. Além disso, o sinalizador do DMA não acumula eventos caso uma nova aquisição seja concluída antes de seu atendimento. Portanto, a implementação atual não garante um período fixo de atualização do controlador. A transmissão e a recepção usam DMA, e a USART opera a 115200 bit/s.

A interface serial permite modificar, durante a ope-

ração, as referências digitais de tensão e de limitação de corrente por meio de mensagens no formato $V:xxxx, I:xxxx$. No sentido inverso, a interface transmite continuamente os códigos digitais fornecidos pelos canais de tensão e corrente do ADC, possibilitando acompanhar o ponto de operação. Os demais parâmetros do controlador, entre eles os ganhos do PI, os limites do integrador e os valores de saturação, permanecem definidos no código-fonte e requerem sua alteração e recompilação.

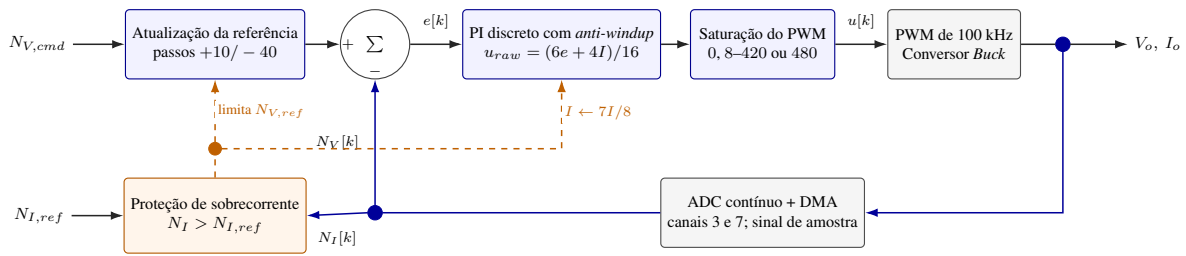


Figura 4: Fluxo de controle, aquisição e proteção efetivamente implementado no *firmware*. Linhas tracejadas indicam ações ativadas pela condição de sobrecorrente.

Duas particularidades devem ser consideradas na reprodução do protótipo. O pino 7 da porta D (PD7) compartilha a entrada não inversora do amplificador operacional e a função de reinicialização (*reset*); durante a primeira gravação, o caminho do *shunt* deve ser desconectado até que essa função seja desabilitada e o pino configurado. Sem cristal externo, a malha de captura de fase (PLL) deve ser habilitada para operação a 48 MHz (Nanjing Qinheng Microelectronics Co., Ltd. (WCH), 2025).

Para a caracterização estática, foram aplicadas referências digitais e registrados os valores físicos correspondentes. A tensão foi avaliada para $N_{V,ref} = 50-1024$, e o limite de corrente para $N_{I,ref} = 15-315$. Os ensaios de forma de onda utilizaram entrada de 24 V e carga resistiva de 47 Ω . Esta etapa foi planejada como uma caracterização funcional do protótipo, destinada a levantar as relações entre as referências digitais e as grandezas de saída, bem como a registrar as oscilações observadas. A avaliação de repetibilidade e a elaboração de um orçamento de incerteza não integraram o escopo dos ensaios; por isso, os resultados são interpretados exclusivamente nas condições experimentais descritas.

Os arquivos utilizados na caracterização, incluindo o *firmware*, os projetos elaborados no KiCad, a planilha de dados e as capturas do osciloscópio, estão reunidos no repositório do projeto (Martignago, 2026).

RESULTADOS E DISCUSSÃO

A Tabela 2 sintetiza os principais resultados quantitativos obtidos.

Tabela 2: Síntese dos resultados quantitativos disponíveis. RMSE: raiz do erro quadrático médio.

Ensaio	Resultado observado
Tensão, $N_{V,ref} = 50-950$	$R^2 = 0,9998$; RMSE de 0,094 V
Corrente, $N_{I,ref} = 15-315$	$R^2 = 0,9941$; RMSE de 8,15 mA
12 V; 47 Ω	3 V pico a pico; 1,35 kHz
Referência de 1,5 V	0,25 V pico a pico; 3,38 Hz
Proteção de corrente	componente de 217 Hz em V_o

A Figura 5 apresenta a relação entre referência digital e tensão de saída. O ajuste foi realizado com os 19 pontos para $N_{V,ref} = 50-950$, resultando em

$$V_o = 0,023927N_{V,ref} + 0,1174, \quad (5)$$

com $R^2 = 0,9998$, RMSE de 0,094 V e resíduo máximo de 0,318 V na faixa ajustada. Os pontos correspondentes a $N_{V,ref} = 1000$ e 1024 foram mantidos no gráfico e apresentam desvios próximos de 0,87 V em relação à extrapolação, evidenciando a aproximação do limite imposto pela tensão de entrada e pelas perdas do conversor.

A característica da limitação de corrente é mostrada na Figura 6. Para os 21 pontos disponíveis, obteve-se

$$I_o = 1,1651N_{I,ref} + 7,9 \text{ mA}, \quad (6)$$



com $R^2 = 0,9941$, RMSE de 8,15 mA e resíduo máximo de 15,7 mA. Os resíduos apresentam curvatura sistemática, indicando que R^2 elevado não implica ausência de não linearidade. As curvas das Figuras 5 e 6 são úteis para conversão entre unidades digitais e físicas, mas não substituem métricas de erro em regime, resposta transitória ou eficiência.

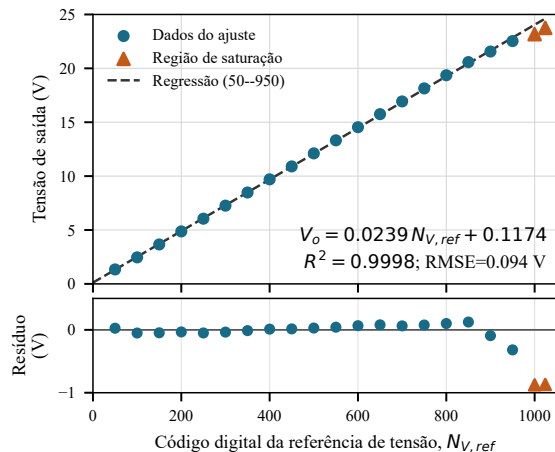


Figura 5: Característica estática da tensão e resíduos da regressão. Os pontos superiores não foram usados no ajuste.

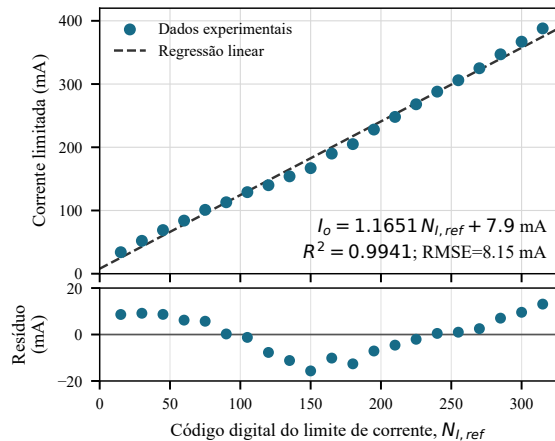


Figura 6: Característica estática da limitação de corrente e resíduos da regressão.

A forma de onda da Figura 7, obtida no ponto de operação de 12 V com carga resistiva de 47 Ω , apresenta oscilação de aproximadamente 3 V pico a pico a 1,35 kHz, equivalente a 25% da tensão nominal. A frequência observada é muito inferior aos 100 kHz de chaveamento, enquanto a amplitude supera em várias ordens de grandeza a estimativa ideal da parcela capacitiva. Por esse motivo, o fenômeno é interpretado como oscilação da malha ou ciclo-limite de baixa frequência, e não como ondulação (*ripple*) de chaveamento.



Figura 7: Oscilação de baixa frequência observada em aproximadamente 12 V e 47 Ω .

Os registros disponíveis não permitem atribuir a oscilação a uma única causa. Entre os mecanismos compatíveis com a implementação estão: período de atualização não determinístico do controlador; aquisição contínua não sincronizada à atualização do PWM; ação integral definida por iteração sem período de amostragem explícito; escrita concorrente na região temporária de memória (*buffer*) transmitida por DMA; e descontinuidade da saturação do PWM. Esses mecanismos são qualitativamente compatíveis com efeitos de atraso, amostragem e quantização descritos para conversores controlados digitalmente (Maksimović e Zane, 2007; Peterchev e Sanders, 2003; Corradini *et al.*, 2015), mas essa correspondência não identifica a causa do fenômeno observado. A hipótese de margem de fase reduzida permanece plausível, porém sua confirmação exige medir atraso, variação temporal do período (*jitter*) e resposta em frequência da malha.

Para referência de 1,5 V, a Figura 8 apresenta oscilação aproximada de 0,25 V pico a pico a 3,38 Hz, ou 16,7% do valor ajustado. Testes exploratórios indicaram redução ao desativar o transmissor/receptor assíncrono universal (UART) e a formatação, mas não foram registrados sob condições controladas; portanto, constituem apenas indício.



Figura 8: Oscilação observada para referência de 1,5 V.

Durante a proteção de corrente, a Figura 9 apresenta uma componente de aproximadamente 217 Hz e uma estrutura sobreposta próxima de 1,35 kHz. O algoritmo reduz a referência em 40 unidades digitais en-



AGRADECIMENTOS

Os autores agradecem à Universidade Tecnológica Federal do Paraná, Câmpus Toledo.

REFERÊNCIAS

- CORRADINI, L. *et al. Digital Control of High-Frequency Switched-Mode Power Converters*. Hoboken: Wiley-IEEE Press, 2015.
- ERICKSON, R. W.; MAKSIMOVIĆ, D. *Fundamentals of Power Electronics*. 3. ed. Cham: Springer, 2020.
- MAKSIMOVIĆ, D.; ZANE, R. Small-signal discrete-time modeling of digitally controlled PWM converters. *IEEE Transactions on Power Electronics*, v. 22, n. 6, p. 2552–2556, 2007.
- MARTIGNAGO, L. A. *Conversor Buck Microcontrolado*. 2026. Repositório GitHub. Acesso em: 4 jul. 2026. Disponível em: <<https://github.com/LuisMartignago/Conversor-Buck-Microcontrolado>>.
- MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. *Power Electronics: Converters, Applications, and Design*. 3. ed. [S.l.]: John Wiley & Sons, 2003.
- MORENO-VALENZUELA, J. A class of proportional-integral with anti-windup controllers for DC–DC buck power converters with saturating input. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 67, n. 1, p. 157–161, 2020.
- Nanjing Qinheng Microelectronics Co., Ltd. (WCH). *CH32V003 Datasheet*. [S.l.], 2024. Versão V1.8. Acesso em: 4 jul. 2026. Disponível em: <https://www.wch-ic.com/downloads/CH32V003DS0_PDF.html>.
- Nanjing Qinheng Microelectronics Co., Ltd. (WCH). *CH32V003 Reference Manual*. [S.l.], 2025. Versão V1.9. Acesso em: 13 jul. 2026. Disponível em: <https://www.wch-ic.com/downloads/CH32V003RM_PDF.html>.
- PETERCHEV, A. V.; SANDERS, S. R. Quantization resolution and limit cycling in digitally controlled PWM converters. *IEEE Transactions on Power Electronics*, v. 18, n. 1, p. 301–308, 2003.
- RASHID, M. H. *Power Electronics: Circuits, Devices, and Applications*. 4. ed. [S.l.]: Pearson, 2014.
- Texas Instruments. *Teaching Your PI Controller to Behave (Part I)*. 2015. Acesso em: 4 jul. 2026. Disponível em: <<https://www.ti.com/document-viewer/lit/html/SSZTCG3>>.

quanto há sobrecorrente e a restabelece em passos de 10 unidades digitais quando a condição desaparece. A combinação de passos assimétricos e ausência de histerese pode produzir uma oscilação de relaxação. Entretanto, como a captura disponível contém apenas a tensão, ela não comprova o valor efetivamente limitado da corrente; essa validação requer aquisição simultânea de V_o e I_o .



Figura 9: Tensão de saída durante a atuação do algoritmo de limitação de corrente.

Os resultados demonstram que a plataforma permite geração de PWM, aquisição de duas grandezas, controle PI e comunicação. Contudo, a oscilação de 3 V pico a pico impede classificar a implementação atual como regulador de tensão de bom desempenho. Também permanecem ausentes ensaios de eficiência, regulação de carga, resposta a degrau, *ripple* em 100 kHz e medição simultânea de corrente durante a proteção.

CONCLUSÃO

Foi desenvolvido e caracterizado um conversor *Buck* de 24 V, chaveado a 100 kHz e controlado por um CH32V003. As curvas estáticas apresentaram R^2 de 0,9998 para tensão e 0,9941 para corrente; a análise de resíduos, porém, revelou saturação na região superior da tensão e não linearidade na medição de corrente. A principal limitação observada foi uma oscilação de aproximadamente 3 V pico a pico a 1,35 kHz no ponto de 12 V, além de oscilação de baixa frequência em 1,5 V e durante a proteção de corrente. A estrutura do *firmware* indica que o período de atualização não determinístico, a integração dependente da taxa de execução, a aquisição não sincronizada e as saturações não lineares podem contribuir para esses fenômenos, mas os dados disponíveis não permitem isolar a causa. O CH32V003 mostrou-se capaz de integrar as funções necessárias ao protótipo, porém a implementação atual requer controle temporizado, sincronização ADC–PWM, revisão das saturações, histerese de corrente e nova sintonia do PI. Trabalhos futuros devem medir período e *jitter*, realizar ensaios com e sem comunicação, registrar tensão e corrente simultaneamente e avaliar resposta transitória, *ripple* de chaveamento e eficiência.