

ANÁLISE E PROJETO DE UM CONTADOR SÍNCRONO DE 2 BITS COM FLIP-FLOPS JK PARA A SEQUÊNCIA 1-0-2-3

Amanda Serrão Nobre, Jessica dos Santos Silva, Railson Silva Barbosa, Rafael Santos Freire Ferraz

*Universidade Federal do Piauí, Centro de Educação Aberta e a Distância, Teresina, Brasil
(amanda.nobre@ufpi.edu.br)*

Resumo: Os contadores síncronos são circuitos sequenciais amplamente empregados em sistemas digitais, como temporizadores e controladores. Neste trabalho, apresenta-se o projeto de um contador síncrono de 2 bits com flip-flops JK para a sequência decimal 1, 0, 2 e 3. A abordagem envolve codificação binária, tabela de transição, excitação JK, mapas de Karnaugh e comprovação do correto funcionamento do circuito. As expressões finais obtidas foram $J1 = \bar{Q}0$, $K1 = Q0$, $J0 = Q1$ e $K0 = \bar{Q}1$.

Palavras-chave: Circuitos Digitais; Contador Síncrono; Flip-Flop JK; Mapa de Karnaugh; TinkerCAD.

INTRODUÇÃO

Os circuitos digitais sequenciais são sistemas nos quais as saídas dependem não apenas das entradas presentes, mas também do estado previamente armazenado. Essa característica permite a construção de registradores, temporizadores, máquinas de estados e contadores, que são blocos fundamentais em sistemas eletrônicos digitais (Floyd, 2015; Mano e Ciletti, 2013).

Entre esses dispositivos, o contador síncrono se destaca por atualizar todos os seus elementos de memória no mesmo instante de clock. Essa forma de operação reduz os efeitos de propagação acumulada e favorece uma análise mais organizada do comportamento temporal do circuito, especialmente quando comparada a configurações assíncronas (Wakerly, 2017).

Pesquisas anteriores demonstram a relevância dos elementos de memória no projeto de sistemas digitais. Tito (2008), por exemplo, apresentou uma metodologia de síntese para circuitos sequenciais com memória em lógica multinível, destacando a importância de latches, flip-flops, clock e métodos de simplificação no desenvolvimento de circuitos digitais. Embora voltado à lógica multinível, o estudo reforça que o comportamento de sistemas sequenciais depende da correta representação dos estados e das transições.

Rai e Chauhan (2014) também discutem a função dos flip-flops em circuitos sequenciais, ressaltando sua aplicação no armazenamento de

bits, em registradores, contadores e divisão de frequência. Esses trabalhos evidenciam que o flip-flop é um bloco essencial para a construção de circuitos com memória e justificam o uso do flip-flop JK como base para o contador síncrono desenvolvido neste artigo.

Este estudo apresenta o projeto lógico de um contador síncrono de 2 bits, implementado com flip-flops JK, capaz de executar a sequência decimal 1, 0, 2 e 3. Em representação binária natural de dois bits, essa sequência corresponde a 01, 00, 10 e 11, retornando ao estado inicial após o último pulso de clock.

O objetivo é relacionar conceitos de representação binária, tabela de estados, tabela de excitação, simplificação booleana e validação lógica, demonstrando como a teoria dos circuitos sequenciais pode ser aplicada à construção de um contador digital funcional.

MATERIAL E MÉTODOS

Fundamentação conceitual

Sistemas digitais operam predominantemente com os valores lógicos 0 e 1. Segundo Tocci, Widmer e Moss (2011), a representação binária constitui a base da eletrônica digital, pois permite que quantidades, comandos e estados sejam processados por circuitos eletrônicos por meio de combinações de bits.

Floyd (2015) diferencia circuitos combinacionais e sequenciais. Nos combinacionais, a saída depende apenas das entradas atuais; nos



sequenciais, a saída também depende de estados anteriores, pois há elementos de memória. Essa memória é indispensável para contadores, registradores e sistemas temporizados.

O contador é um circuito sequencial que percorre uma sequência definida de estados a cada pulso de clock. De acordo com Mano e Ciletti (2013), contadores são utilizados em temporização, divisão de frequência, controle de sequência e endereçamento de estados. Quando todos os flip-flops recebem simultaneamente o mesmo clock, o contador é classificado como síncrono.

A aplicabilidade dos contadores síncronos é ampla. Eles podem ser empregados em relógios digitais, cronômetros, temporizadores industriais, medidores de eventos, divisores de frequência, controladores de etapas e sistemas embarcados, aplicações coerentes com o uso de flip-flops em contadores, armazenamento de dados e divisão de frequência (Mano e Ciletti, 2013; Rai e Chauhan, 2014). No contexto de sistemas eletrônicos associados a energias renováveis, circuitos desse tipo podem auxiliar em rotinas de temporização, aquisição de dados, acionamento sequencial de cargas e organização de sinais digitais.

Wakerly (2017) ressalta que o projeto de sistemas digitais combina lógica combinacional e elementos sequenciais: a lógica combinacional define o próximo estado, enquanto os flip-flops armazenam o estado atual. Essa relação aparece diretamente neste projeto, pois as equações booleanas determinam os sinais aplicados às entradas J e K, e os flip-flops JK armazenam os bits Q1 e Q0.

Em um contador, o conceito de estado é central. O estado atual corresponde à combinação binária armazenada antes do pulso de clock, enquanto o próximo estado representa a combinação que será armazenada após a borda ativa. Assim, a notação Q^+ não indica uma soma aritmética, mas sim o valor futuro da saída do flip-flop.

A escolha de dois bits é suficiente para representar quatro combinações possíveis: 00, 01, 10 e 11. Como a sequência especificada utiliza exatamente quatro valores decimais, a estrutura de 2 bits permite representar todos os estados necessários sem recorrer a estados adicionais ou códigos inválidos.

O flip-flop JK foi adotado porque suas entradas J e K permitem manter, resetar, setar ou inverter a saída. Considerando Q como estado atual e Q^+ como próximo estado, a equação característica utilizada é $Q^+ = J.Q' + K'.Q$. A tabela de excitação mostra quais valores devem ser aplicados em J e K para produzir cada transição desejada.

A interpretação funcional das entradas J e K facilita o projeto. Quando é necessário passar de 0

para 1, a entrada J atua no processo de setagem. Quando é necessário passar de 1 para 0, a entrada K atua no reset. Quando o valor deve ser mantido, uma das entradas pode assumir condição indiferente, o que permite maior liberdade de simplificação.

Tabela 1. Tabela de mudança de estado do flip-flop JK.

Transição	J	K	Interpretação
0 → 0	0	X	Mantém o bit em 0
0 → 1	1	X	Seta o bit para 1
1 → 0	X	1	Reseta o bit para 0
1 → 1	X	0	Mantém o bit em 1

Fonte: Elaboração própria (2026).

A condição X representa um valor indiferente, ou seja, pode ser escolhido como 0 ou 1 sem prejudicar a transição desejada. Essa flexibilidade é importante porque facilita a simplificação booleana por mapas de Karnaugh, reduzindo o número de portas lógicas necessárias.

O mapa de Karnaugh é uma técnica visual de minimização lógica. Para um contador de 2 bits, cada entrada de excitação pode ser descrita em função das variáveis de estado Q1 e Q0. Conforme Mano e Ciletti (2013), o uso dessa técnica permite obter expressões mais simples e adequadas à implementação prática.

Procedimentos de projeto

Inicialmente, definiu-se a sequência decimal a ser executada: 1, 0, 2 e 3. Como o contador possui dois bits, foram utilizadas as saídas Q1, correspondente ao bit mais significativo, e Q0, correspondente ao bit menos significativo. O bit Q1 representa o valor 2, enquanto Q0 representa o valor 1.

Tabela 2. Correspondência entre valores decimais e estados binários de 2 bits.

Decimal	Q1	Q0	Estado binário
0	0	0	00
1	0	1	01
2	1	0	10
3	1	1	11

Fonte: Elaboração própria (2026).

Com base nessa codificação, a sequência decimal 1, 0, 2 e 3 foi convertida para a sequência binária 01 → 00 → 10 → 11. Como todos os estados possíveis de um contador de 2 bits fazem parte do ciclo, não há estado inválido na sequência projetada.

A conversão do decimal para binário foi realizada observando o peso de cada bit. O bit Q1 possui peso 2 e o bit Q0 possui peso 1. Dessa forma, o decimal 1 é representado por 01, o decimal 0 por 00, o decimal 2 por 10 e o decimal 3 por 11. Essa representação permite que a sequência

numérica seja tratada diretamente por elementos lógicos.

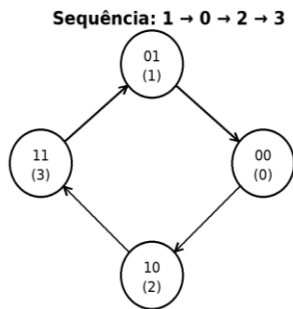


Figura 1. Diagrama de estados do contador síncrono proposto. Fonte: Elaboração própria (2026).

Em seguida, elaborou-se a tabela de transição de estados. Essa tabela relaciona cada estado atual com o próximo estado esperado após a borda ativa do clock e serve como base para a determinação das entradas dos flip-flops JK.

Tabela 3. Tabela de transição para a sequência 1, 0, 2 e 3.

Estado atual Q1Q0	Decimal atual	Próximo estado Q1+Q0+	Próximo decimal
01	1	00	0
00	0	10	2
10	2	11	3
11	3	01	1

Fonte: Elaboração própria (2026).

Para cada transição, aplicou-se a tabela de excitação do flip-flop JK separadamente ao bit Q1 e ao bit Q0. Assim, foram determinadas as entradas J1 e K1 para o flip-flop associado a Q1, e as entradas J0 e K0 para o flip-flop associado a Q0.

O preenchimento da tabela foi feito bit a bit. Por exemplo, na transição 01 → 00, o bit Q1 permanece em 0, enquanto Q0 passa de 1 para 0. Pela tabela de excitação JK, isso exige J1 = 0, K1 = X, J0 = X e K0 = 1. O mesmo raciocínio foi repetido para as demais linhas.

Tabela 4. Tabela de excitação JK para o contador proposto.

Q1Q0 atual	Q1+Q0+ esperado	J1	K1	J0	K0
01	00	0	X	X	1
00	10	1	X	0	X
10	11	X	0	1	X
11	01	X	1	X	0

Fonte: Elaboração própria (2026).

As entradas J1, K1, J0 e K0 foram simplificadas em função das variáveis de estado Q1 e Q0. Com auxílio das condições indiferentes, os mapas de Karnaugh permitiram obter expressões diretas e de baixa complexidade.

Mapas de Karnaugh das entradas JK

Mapa de Karnaugh - J1

Q1\Q0	0	1
0	1	0
1	X	X

grupamento
1 + X

Mapa de Karnaugh - K1

Q1\Q0	0	1
0	X	X
1	0	1

grupamento
1 + X

Mapa de Karnaugh - J0

Q1\Q0	0	1
0	0	X
1	1	X

grupamento
1 + X

Mapa de Karnaugh - K0

Q1\Q0	0	1
0	X	1
1	X	0

grupamento
1 + X

Simplificações: J1 = NOT Q0; K1 = Q0; J0 = Q1; K0 = NOT Q1

Figura 2. Mapas de Karnaugh das entradas J1, K1, J0 e K0. Fonte: Elaboração própria (2026).

Tabela 5. Expressões finais das entradas dos flip-flops JK.

Entrada	Expressão simplificada	Interpretação lógica
J1	$\bar{Q}0$	Q1 é setado quando Q0 = 0
K1	Q0	Q1 é resetado quando Q0 = 1
J0	Q1	Q0 é setado quando Q1 = 1
K0	$\bar{Q}1$	Q0 é resetado quando Q1 = 0

Fonte: Elaboração própria (2026).

As expressões obtidas indicam que o próximo valor de Q1 depende do complemento de Q0, enquanto o próximo valor de Q0 depende diretamente de Q1. Dessa forma, o circuito reproduz o ciclo 01 → 00 → 10 → 11 → 01.

A simplicidade das equações finais é relevante porque reduz a quantidade de portas lógicas e conexões. Em uma montagem real ou simulada, menor complexidade tende a diminuir a possibilidade de erros de ligação e facilita a conferência do circuito pelos estados apresentados nos LEDs.

RESULTADOS E DISCUSSÃO

O resultado do projeto é um contador síncrono composto por dois flip-flops JK acionados pelo mesmo sinal de clock. A lógica de excitação é formada por realimentações das saídas Q1 e Q0 e por duas inversões: $\bar{Q}0$ e $\bar{Q}1$.

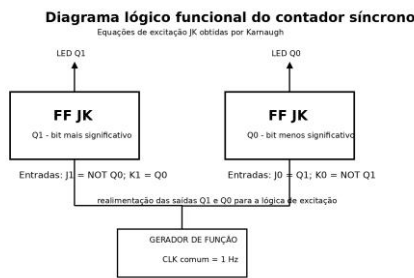


Figura 3. Diagrama lógico funcional do contador síncrono com flip-flops JK. Fonte: Elaboração própria (2026).

Para implementação física ou simulação, são necessários dois flip-flops JK, duas portas inversoras para gerar os complementos de Q0 e Q1, além das conexões de realimentação para as entradas indicadas. As saídas Q1 e Q0 podem ser associadas a LEDs para visualização da contagem.

Considerando que o estado inicial seja ajustado para 01, o primeiro pulso de clock leva o contador para 00. Os pulsos seguintes conduzem o circuito para 10, depois para 11 e, por fim, novamente para 01. Assim, os LEDs representam visualmente a sequência decimal 1, 0, 2 e 3.

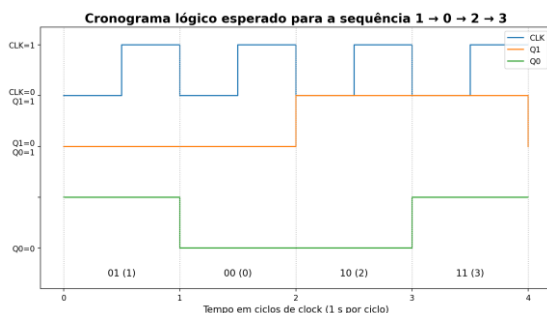


Figura 4. Cronograma lógico esperado das saídas Q1 e Q0. Fonte: Elaboração própria (2026).

Tabela 6. Evolução esperada do contador a cada pulso de clock.

Pulso de clock	Q1	Q0	Estado binário	Decimal exibido
Inicial	0	1	01	1
1º pulso	0	0	00	0
2º pulso	1	0	10	2
3º pulso	1	1	11	3
4º pulso	0	1	01	1

Fonte: Elaboração própria (2026).

A simulação foi estruturada no TinkerCAD com o circuito integrado 74HC73, que contém dois flip-flops JK. O gerador de funções foi ajustado para 1 Hz, produzindo um pulso por segundo, o que permite observar a mudança dos estados nos LEDs. A alimentação foi definida em 5 V, e os sinais de clear foram mantidos em nível alto para evitar reset indesejado durante a contagem.

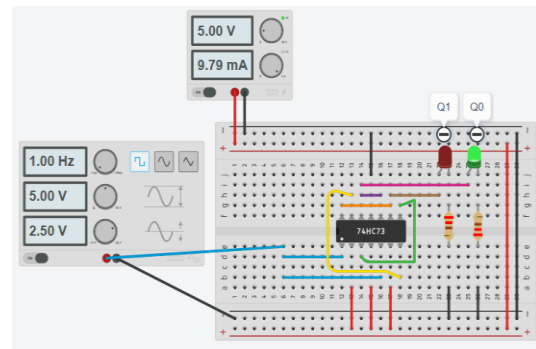


Figura 5. Estado 01 (decimal 1): Q1 = 0 e Q0 = 1. Fonte: Elaboração própria no TinkerCAD (2026).

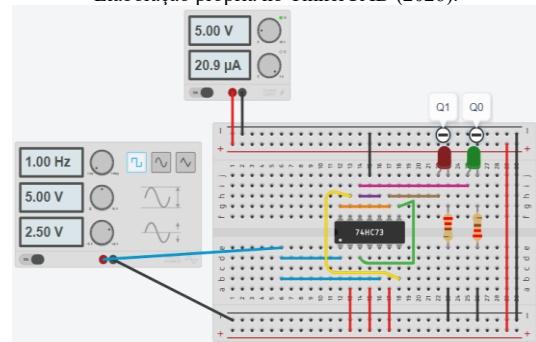


Figura 6. Estado 00 (decimal 0): Q1 = 0 e Q0 = 0. Fonte: Elaboração própria no TinkerCAD (2026).

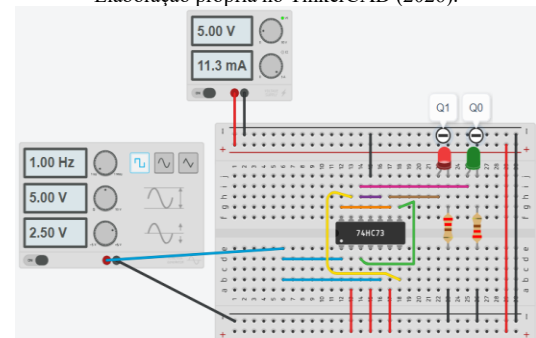


Figura 7. Estado 10 (decimal 2): Q1 = 1 e Q0 = 0. Fonte: Elaboração própria no TinkerCAD (2026).

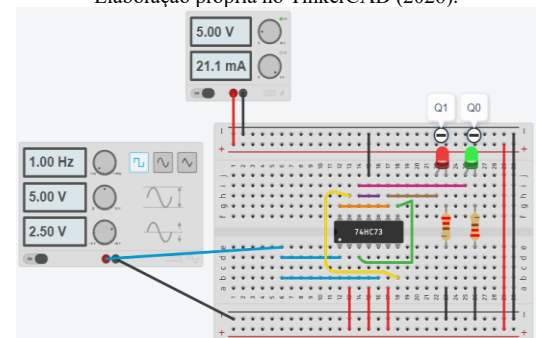


Figura 8. Estado 11 (decimal 3): Q1 = 1 e Q0 = 1. Fonte: Elaboração própria no TinkerCAD (2026).

Tabela 7. Conferência lógica das transições obtidas.

Estado atual	Equações aplicadas	Próximo estado	Resultado
01	$Q1+ = \bar{Q}0; Q0+ = Q1$	00	Correto
00	$Q1+ = \bar{Q}0; Q0+ = Q1$	10	Correto
10	$Q1+ = \bar{Q}0; Q0+ = Q1$	11	Correto
11	$Q1+ = \bar{Q}0; Q0+ = Q1$	01	Correto

Fonte: Elaboração própria (2026).



A validação lógica mostrou que o contador funciona corretamente em todos os quatro estados possíveis de 2 bits: 00, 01, 10 e 11. Como todos fazem parte da sequência projetada, não há estado indefinido que possa interromper o ciclo ou causar comportamento não previsto.

A principal condição de operação é a inicialização no estado 01, caso se deseje que a primeira indicação seja o decimal 1. Esse ajuste pode ser realizado por preset, clear, configuração inicial do simulador ou recurso equivalente. Após a inicialização correta, o circuito segue automaticamente a sequência especificada a cada borda ativa de clock.

Do ponto de vista didático, o circuito evidencia de maneira clara a integração entre teoria e prática. A tabela de estados define o comportamento desejado; a tabela de excitação traduz esse comportamento para entradas JK; os mapas de Karnaugh simplificam as equações; e a simulação confirma a sequência esperada.

Discussão sobre aplicabilidade

Embora o circuito projetado seja composto por apenas dois bits, a lógica empregada é a mesma utilizada em contadores de maior capacidade. Em sistemas reais, a quantidade de flip-flops pode ser ampliada para representar números maiores, controlar mais etapas ou gerar divisões de frequência mais específicas.

Em temporizadores digitais, por exemplo, contadores permitem organizar pulsos de clock em intervalos mensuráveis, pois a contagem sucessiva de pulsos possibilita representar tempo, ciclos ou eventos em forma binária. Em circuitos de medição, esses dispositivos podem ser empregados para registrar ocorrências, ciclos de operação ou divisões de frequência. Já em sistemas de controle, a lógica sequencial permite representar etapas sucessivas de funcionamento, uma vez que o circuito passa de um estado para outro de acordo com a sequência definida pelo projeto lógico (Floyd, 2015; Tocci, Widmer e Moss, 2011; Mano e Ciletti, 2013).

Na área de energias renováveis, esses princípios podem ser associados a controladores eletrônicos, microcontroladores e sistemas de monitoramento utilizados para coletar dados de sensores, registrar intervalos de amostragem, acompanhar variáveis elétricas, alternar cargas e organizar modos de operação de sistemas auxiliares. Em sistemas fotovoltaicos, por exemplo, arquiteturas de aquisição de dados, supervisão e controle podem monitorar tensão, corrente, potência e condições de operação, contribuindo para a análise do desempenho e para o controle do sistema (He, Baig e Iqbal, 2024; Deline et al., 2021). Dessa forma, o estudo do contador síncrono contribui para a compreensão da base lógica presente em aplicações

eletrônicas de medição, temporização, monitoramento e controle aplicadas a sistemas de energia.

A escolha do flip-flop JK também possui valor formativo, pois evidencia a relação entre entradas de controle e comportamento futuro da saída. O estudante observa que o funcionamento do circuito não depende apenas de ligações físicas, mas de uma sequência de raciocínio lógico que envolve estados, transições e simplificação booleana.

Outro ponto importante é a validação por simulação. Ambientes como o TinkerCAD não substituem a fundamentação teórica, mas permitem verificar visualmente se o modelo lógico está coerente. A observação dos LEDs torna a sequência perceptível e ajuda a identificar eventuais erros de ligação, inicialização ou interpretação dos bits.

CONCLUSÃO

Foi desenvolvido o projeto lógico de um contador síncrono de 2 bits com flip-flops JK, configurado para executar a sequência decimal 1, 0, 2 e 3. Em binário, o ciclo obtido foi 01 → 00 → 10 → 11 → 01.

A partir das tabelas de transição e de excitação, foram obtidas as expressões $J1 = \bar{Q}0$, $K1 = Q0$, $J0 = Q1$ e $K0 = \bar{Q}1$. A verificação lógica confirmou que essas expressões produzem corretamente a sequência proposta e permitem a operação cíclica do contador.

Além de demonstrar o funcionamento do flip-flop JK, o projeto reforça a relevância dos contadores síncronos em sistemas digitais reais, como temporizadores, divisores de frequência, controladores de etapas e sistemas de monitoramento. Portanto, o circuito analisado representa uma base importante para compreender aplicações mais complexas de lógica sequencial.

REFERÊNCIAS

- DELINE, Chris; PERRY, Kirsten; DECEGLIE, Michael; MULLER, Matthew; SEKULIC, William; JORDAN, Dirk. Photovoltaic Data Acquisition (PVDAQ) Public Datasets. Golden: National Renewable Energy Laboratory, 2021. Conjunto de dados. DOI: 10.25984/1846021.
- FLOYD, Thomas L. Digital Fundamentals. 11. ed. Boston: Pearson, 2015.
- HE, Wei; BAIG, Mirza Jabbar Aziz; IQBAL, Mohammad Tariq. An Open-Source Supervisory Control and Data Acquisition Architecture for Photovoltaic System Monitoring Using ESP32, Banana Pi M4, and Node-RED. *Energies*, v. 17, n. 10, artigo 2295, 2024. DOI: 10.3390/en17102295.
- MANO, M. Morris; CILETTI, Michael D. Digital Design: With an Introduction to the Verilog HDL. 5. ed. Boston: Pearson, 2013.



RAI, Vikash; CHAUHAN, Tapish. Flip-flop and Its Applications. International Journal of Innovative Research in Technology, v. 1, n. 6, p. 1150-1153, 2014.

TITO, Meliton Apaza. Síntese de circuitos com memória em lógica multinível. 2008. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Mato Grosso do Sul, Campo Grande, 2008.

TOCCI, Ronald J.; WIDMER, Neal S.; MOSS, Gregory L. Digital Systems: Principles and Applications. 11. ed. Boston: Pearson, 2011.

WAKERLY, John F. Digital Design: Principles and Practices. 5. ed. Boston: Pearson, 2017.